

SN: 10/782,861  
DN: 2611-212P  
Sheet: 2/23/04  
env.: Shinya Ono et al.  
BSK 703-205-8000

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 2 4 日  
Date of Application:

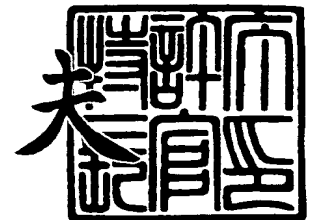
出 願 番 号                      特 願 2 0 0 3 - 0 4 6 5 4 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 4 6 5 4 1 ]

出      願      人  
Applicant(s):                      奇美電子股▲ふん▼有限公司  
   京セラ株式会社

2 0 0 4 年    3 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 7 9 8 1

【書類名】 特許願

【整理番号】 PIDA-14541

【提出日】 平成15年 2月24日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30  
G09G 3/20

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナシ  
ョナル ディスプレイ テクノロジー株式会社 大和事  
業所内

【氏名】 小野 晋也

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナシ  
ョナル ディスプレイ テクノロジー株式会社 大和事  
業所内

【氏名】 小林 芳直

【特許出願人】

【識別番号】 599142729

【氏名又は名称】 奇美電子股▲ふん▼有限公司

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 0216759

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 発光輝度に対応する電位を書き込むデータ書き込み手段と、該電位に応じて電流値を制御し、薄膜トランジスタを有するドライバー素子の閾値電圧を検出する閾値電圧検出手段と、を備えたアクティブマトリックス型の表示装置において、

前記データ書き込み手段は、

発光輝度に対応した電位を供給するデータ線と、

前記データ線を介して供給される電位の書き込みを制御する第 1 のスイッチング手段と、

を備え、

前記閾値電圧検出手段は、

前記ドライバー素子のゲート電極とドレイン電極との間の導通状態を制御する第 2 のスイッチング手段と、

流れる電流に対応した輝度の光を表示するとともに、電荷を蓄積する容量として前記ドライバー素子のソース電極またはドレイン電極に電荷を供給可能な電流発光素子と、

を備えたことを特徴とする表示装置。

【請求項 2】 前記閾値電圧検出手段は、前記第 2 のスイッチング手段によりゲート電極とドレイン電極との間を短絡された前記ドライバー素子に対して、前記電流発光素子に蓄積された電荷に起因したゲート・ソース間の電位差に基づいてオン状態とした後、前記蓄積された電荷の減少によってゲート・ソース間の電位差が閾値電圧まで低下してオフ状態となることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 発光時に前記ドライバー素子に対して印加される電位は、前記閾値電圧検出手段により検出された前記ドライバー素子の閾値電圧と、前記データ書き込み手段により書き込まれた電位との和であることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】 前記閾値電圧検出手段は、発光時に前記電流発光素子に順方向の電圧を印加して電流を供給するとともに、前記電流発光素子に逆方向の電圧を印加して電荷を蓄積可能な電源線をさらに備えることを特徴とする請求項 1～3 のいずれか一つに記載の表示装置。

【請求項 5】 前記第 1 のスイッチング手段の駆動状態を制御する第 1 の走査線をさらに備えたことを特徴とする請求項 1～4 のいずれか一つに記載の表示装置。

【請求項 6】 前記電流発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1～5 のいずれか一つに記載の表示装置。

【請求項 7】 前記データ書き込み手段は、前記データ線から供給された電位を保持するコンデンサをさらに備えたことを特徴とする請求項 1～6 のいずれか一つに記載の表示装置。

【請求項 8】 前記データ書き込み手段と前記閾値電圧検出手段との間に設けられ、前記データ書き込み手段と前記閾値電圧検出手段との電気的な導通を制御する第 3 のスイッチング手段をさらに備えたことを特徴とする請求項 1～7 のいずれか一つに記載の表示装置。

【請求項 9】 前記第 3 のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする請求項 8 に記載の表示装置。

【請求項 10】 前記第 2 のスイッチング手段と前記第 3 のスイッチング手段の駆動状態を制御する第 2 の走査線をさらに備え、

前記第 2 のスイッチング手段と前記第 3 のスイッチング手段は、ゲート電極が前記第 2 の走査線に接続され、かつチャネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする請求項 8 または 9 に記載の表示装置。

【請求項 11】 前記第 2 のスイッチング手段と前記第 3 のスイッチング手段はチャネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 3 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする請求項 8 または 9 に記載の表示装置。

【請求項 12】 前記データ書き込み手段と前記閾値電圧検出手段との間に

配置され、前記データ書き込み手段と電氣的に接続した第 1 の電極と前記閾値電圧検出手段と電氣的に接続した第 2 の電極とを有するコンデンサと、

前記第 1 の電極と電氣的に接続され、前記第 1 の電極の電位を制御する第 4 のスイッチング手段とを備えたことを特徴とする請求項 1 ～ 6 のいずれか一つに記載の表示装置。

【請求項 13】 前記第 4 のスイッチング手段は、オン状態の際に前記第 1 の電極と前記第 2 の電極との間の電位差を維持しつつ、前記第 1 の電極に保持された電荷と同量かつ異なる極性の電荷を前記第 2 の電極に生じさせると共に前記第 1 の電極に保持された電荷を消去し、オフ状態の際に前記コンデンサに保持される電荷を移動させることなく電荷保持を継続することを特徴とする請求項 12 に記載の表示装置。

【請求項 14】 前記第 4 のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする請求項 12 または 13 に記載の表示装置。

【請求項 15】 前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態を制御する第 3 の走査線をさらに備え、

前記第 4 のスイッチング手段と前記第 2 のスイッチング手段は、ゲート電極が前記第 3 の走査線に接続され、かつチャネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする請求項 12 ～ 14 のいずれか一つに記載の表示装置。

【請求項 16】 前記第 2 のスイッチング手段と前記第 4 のスイッチング手段はチャネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする 12 ～ 14 のいずれか一つに記載の表示装置。

【請求項 17】 前記第 2 のスイッチング手段は、前記ドライバー素子のゲート電極と接続した第 1 の薄膜トランジスタと、前記ドライバー素子のドレイン電極と接続した第 2 の薄膜トランジスタと、を有することを特徴とする請求項 1 ～ 7 のいずれか一つに記載の表示装置。

【請求項 18】 前記第 2 の薄膜トランジスタは、前記第 1 の薄膜トランジスタとともにオン状態となることで前記ドライバー素子のゲート電極とドレイン

電極とを短絡し、閾値電圧検出後にオフ状態となることにより検出された閾値電圧を保持することを特徴とする請求項 17 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流発光素子の輝度を制御したアクティブマトリックス型の表示装置に関するものである。

【0002】

【従来の技術】

自ら発光する有機エレクトロルミネッセンス（EL）素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

【0003】

有機EL表示装置においては、駆動方式として単純（パッシブ）マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ（Thin Film Transistor：TFT）によって制御する、アクティブマトリックス型の表示装置の開発が盛んに行われている。

【0004】

図17に、従来技術にかかるアクティブマトリックス方式の有機EL表示装置における画素回路を示す。従来技術における画素回路は、カソード側が正電源V<sub>dd</sub>に接続された有機EL素子105と、ドレイン電極が有機EL素子105のアノード側に接続され、ソース電極がグラウンドに接続されたTFT104と、TFT104のゲート電極とグラウンドとの間に接続されたコンデンサ103と、ドレイン電極がTFT104のゲート電極に、ソース電極がデータ線101に、

ゲート電極が走査線 106 にそれぞれ接続された TFT 102 とを有する構造をとる。

#### 【0005】

上記画素回路の動作を以下に説明する。走査線 106 の電位を高レベルとし、データ線 101 に書き込み電位を印加すると、TFT 102 がオン状態となりコンデンサ 103 が充電または放電され、TFT 104 のゲート電極電位は書き込み電位となる。つぎに、走査線 106 の電位を低レベルとすると、TFT 102 はオフ状態となり、走査線 106 と TFT 102 は電氣的に切り離されるが、TFT 104 のゲート電極電位はコンデンサ 103 によって安定に保持される。

#### 【0006】

そして、TFT 104 および有機 EL 素子 105 に流れる電流は、TFT 104 のゲート・ソース間電圧  $V_{gs}$  に応じた値となり、有機 EL 素子 105 はその電流値に応じた輝度で発光し続ける。ここで、走査線 106 を選択してデータ線 101 に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように図 17 に示す画素回路では一度電位の書き込みを行えば、つぎに書き込みが行われるまでの間、有機 EL 素子 105 は一定の輝度で発光を継続する（たとえば、特許文献 1 参照）。

#### 【0007】

##### 【特許文献 1】

特開平 8-234683 号公報（第 10 頁、第 1 図）

#### 【0008】

##### 【発明が解決しようとする課題】

ここで、アクティブマトリックス型の有機 EL 素子表示装置においては、能動素子としてガラス基板上に形成された TFT が利用される。しかし、非晶質であるアモルファスシリコンを使用し形成された TFT においては、長時間にわたり電流が流れた場合、電流が流れた当初と比較し、閾値電圧が変動する場合がある。また、TFT の劣化により閾値電圧が変動する場合もある。このように、アモルファスシリコンを使用し形成された TFT は、同一画素において閾値電圧の変動が発生する場合がある。



## 【0009】

図18は、劣化前のTFTと劣化後のTFTの電圧－電流特性を示すグラフである。図18において、曲線13は劣化前のTFTのゲート・ソース間電圧 $V_{gs}$ とド레인電流 $I_d$ の特性を示し、曲線14は、劣化後のTFTの特性を示す。また、 $V_{th4}$ および $V_{th4}'$ は、劣化前および劣化後のTFTの閾値電圧である。図18に示すように、劣化前と劣化後ではTFTの閾値電圧は異なるため、同じ電位 $V_{D4}$ が書き込まれた場合、各々のド레인電流は $I_{d2}$ および $I_{d3}$ と異なる値となる。したがって、 $V_{D4}$ の電位を与えることによってドライバー素子のTFTの劣化前には有機EL素子には $I_{d2}$ だけ流れたにも関わらず、TFTの劣化後には $I_{d3}$  ( $< I_{d2}$ ) の値の電流しか流れず、所定の輝度の光を表示できないこととなる。このため、電流発光素子に流れる電流を制御するTFTの閾値電圧が変動した場合、同一の電位を印加したにもかかわらず電流発光素子に流れる電流は変動し、この結果、表示装置の表示部で表示される輝度が不均一となり、画質劣化の原因となる。

## 【0010】

本発明は、上記した従来技術の欠点に鑑みてなされたものであり、表示装置の表示部において表示される輝度が均一であるアクティブマトリックス型の表示装置を提供することを目的とする。

## 【0011】

## 【発明が解決しようとする手段】

請求項1にかかる表示装置は、発光輝度に対応する電位を書き込むデータ書き込み手段と、該電位に応じて電流値を制御し、薄膜トランジスタを有するドライバー素子の閾値電圧を検出する閾値電圧検出手段と、を備えたアクティブマトリックス型の表示装置において、前記データ書き込み手段は、発光輝度に対応した電位を供給するデータ線と、前記データ線を介して供給される電位の書き込みを制御する第1のスイッチング手段と、を備え、前記閾値電圧検出手段は、前記ドライバー素子のゲート電極とド레인電極との間の導通状態を制御する第2のスイッチング手段と、流れる電流に対応した輝度の光を表示するとともに、電荷を蓄積する容量として前記ドライバー素子のソース電極またはド레인電極に電荷

を供給可能な電流発光素子と、を備えたことを特徴とする。

【0012】

以上説明したように、本発明にかかる表示装置によれば、ドライバー素子である TFT の閾値電圧が変動した場合でも、第 2 のスイッチング手段を設けることにより別個独立に機能する閾値電圧検出手段によって検出された閾値電圧を、書き込み電圧に加えた電圧がゲート・ソース間電圧となり、TFT に流れる電流は変動せず有機 EL 素子は均一な輝度の光を表示する。

【0013】

請求項 2 にかかる表示装置は、前記閾値電圧検出手段は、前記第 2 のスイッチング手段によりゲート電極とドレイン電極との間を短絡された前記ドライバー素子に対して、前記電流発光素子に蓄積された電荷に起因したゲート・ソース間の電位差に基づいてオン状態とした後、前記蓄積された電荷の減少によってゲート・ソース間の電位差が閾値電圧まで低下してオフ状態となることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする。

【0014】

請求項 3 にかかる表示装置は、発光時に前記ドライバー素子に対して印加される電位は、前記閾値電圧検出手段により検出された前記ドライバー素子の閾値電圧と、前記データ書き込み手段により書き込まれた電位との和であることを特徴とする。

【0015】

請求項 4 にかかる表示装置は、前記閾値電圧検出手段は、発光時に前記電流発光素子に順方向の電圧を印加して電流を供給するとともに、前記電流発光素子に逆方向の電圧を印加して電荷を蓄積可能な電源線をさらに備えることを特徴とする。

【0016】

請求項 5 にかかる表示装置は、前記第 1 のスイッチング手段の駆動状態を制御する第 1 の走査線をさらに備えたことを特徴とする。

【0017】

請求項 6 にかかる表示装置は、前記電流発光素子は、有機エレクトロルミネッ

センス素子であることを特徴とする。

【0018】

請求項7にかかる表示装置は、前記データ書き込み手段は、前記データ線から供給された電位を保持するコンデンサをさらに備えたことを特徴とする。

【0019】

請求項8にかかる表示装置は、前記データ書き込み手段と前記閾値電圧検出手段との間に設けられ、前記データ書き込み手段と前記閾値電圧検出手段との電気的な導通を制御する第3のスイッチング手段をさらに備えたことを特徴とする。

【0020】

請求項9にかかる表示装置は、前記第3のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする。

【0021】

請求項10にかかる表示装置は、前記第2のスイッチング手段と前記第3のスイッチング手段の駆動状態を制御する第2の走査線をさらに備え、前記第2のスイッチング手段と前記第3のスイッチング手段は、ゲート電極が前記第2の走査線に接続され、かつチャネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする。

【0022】

請求項11にかかる表示装置は、前記第2のスイッチング手段と前記第3のスイッチング手段はチャネル層の導電性が同一の薄膜トランジスタを備え、前記第2のスイッチング手段と前記第3のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする。

【0023】

請求項12にかかる表示装置は、前記データ書き込み手段と前記閾値電圧検出手段との間に配置され、前記データ書き込み手段と電氣的に接続した第1の電極と前記閾値電圧検出手段と電氣的に接続した第2の電極とを有するコンデンサと、前記第1の電極と電氣的に接続され、前記第1の電極の電位を制御する第4のスイッチング手段とを備えたことを特徴とする。

【0024】

請求項 13 にかかる表示装置は、前記第 4 のスイッチング手段は、オン状態の際に前記第 1 の電極と前記第 2 の電極との間の電位差を維持しつつ、前記第 1 の電極に保持された電荷と同量かつ異なる極性の電荷を前記第 2 の電極に生じさせると共に前記第 1 の電極に保持された電荷を消去し、オフ状態の際に前記コンデンサに保持される電荷を移動させることなく電荷保持を継続することを特徴とする。

#### 【0025】

請求項 14 にかかる表示装置は、前記第 4 のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする。

#### 【0026】

請求項 15 にかかる表示装置は、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態を制御する第 3 の走査線をさらに備え、前記第 4 のスイッチング手段と前記第 2 のスイッチング手段は、ゲート電極が前記第 3 の走査線に接続され、かつチャネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする。

#### 【0027】

請求項 16 にかかる表示装置は、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段はチャネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする。

#### 【0028】

請求項 17 にかかる表示装置は、前記第 2 のスイッチング手段は、前記ドライバー素子のゲート電極と接続した第 1 の薄膜トランジスタと、前記ドライバー素子のドレイン電極と接続した第 2 の薄膜トランジスタと、を有することを特徴とする。

#### 【0029】

請求項 18 にかかる表示装置は、前記第 2 の薄膜トランジスタは、前記第 1 の薄膜トランジスタとともにオン状態となることで前記ドライバー素子のゲート電極とドレイン電極とを短絡し、閾値電圧検出後にオフ状態となることにより検出

された閾値電圧を保持することを特徴とする。

### 【0 0 3 0】

#### 【発明の実施の形態】

以下に図面を参照して、本発明にかかる表示装置を説明する。なお、ここでは、本発明について、電流発光素子として有機EL素子を、能動素子として薄膜トランジスタを、アクティブマトリックス型の表示装置液晶表示装置にそれぞれ用いた場合について説明するが、画素の表示素子として、流れる電流によって輝度に変化する電流発光素子を用いるアクティブマトリックス型の表示装置全般に適用可能である。また、この実施の形態によりこの発明が限定されるものではない。さらに、図面の記載において、同一部分には同一の符号を付しており、図面は模式的なものである。

### 【0 0 3 1】

#### （実施の形態1）

まず、実施の形態1にかかる表示装置について説明する。本実施の形態1にかかる表示装置を構成する画素回路は、データ線と第1のスイッチング手段およびコンデンサを有するデータ書き込み手段と、第2のスイッチング手段と電流発光素子を有する閾値電圧検出手段を備える。さらに、データ書き込み手段と閾値電圧検出手段との電気的な接続を制御するスイッチング手段としてのTFTを備えた構造を有する。かかる画素回路により、データ書き込み手段と閾値電圧検出手段は別個独立に動作するよう構成されており、データ書き込み手段により書き込まれた電位に、データ書き込み手段とは別個独立に動作可能な閾値電圧検出手段により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

### 【0 0 3 2】

図1は、本実施の形態1における画素回路の構造を示した図である。かかる画素回路は、図1に示すように、電流発光素子の輝度に対応した電位を供給するデータ線3と、かかる電位の書き込みを制御する第1のスイッチング手段であるTFT4と、書き込まれた電位を保持するコンデンサ5と、TFT4のゲート電極

に接続する第1の走査線である走査線10により構成されるデータ書き込み手段1を備える。さらに、ドライバー素子であるTFT6と、第2のスイッチング手段であるTFT8と、電流発光素子である有機EL素子7と、有機EL素子7に接続する電源線であるコモン線9により構成される閾値電圧検出手段2を備える。また、データ書き込み手段1と閾値電圧検出手段2の間には、第3のスイッチング手段であるTFT11が設けられている。本実施の形態1にかかる表示装置は、かかる画素回路をマトリックス状に配置して構成される。なお、説明を容易にするため、TFT6については、有機EL素子7と接続する電極をソース電極とし、グラウンドに接続する電極をドレイン電極とする。

### 【0033】

データ書き込み手段1は、データ線3により有機EL素子7の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。データ書き込み手段1を構成するデータ線3は有機EL素子7の輝度に対応した電位を与え、TFT4はデータ線3に接続しデータ線3を介して供給される電位の書き込みを制御する。また、コンデンサ5は、TFT4のドレイン電極と接続するとともに、書き込まれた電位を保持し、TFT6のゲート電極に保持した電位を供給する。さらに、走査線10は、TFT4のゲート電極に接続し、TFT4のオン状態またはオフ状態の駆動状態を制御する。

### 【0034】

閾値電圧検出手段2は、ドライバー素子であるTFT6の閾値電圧を検出する機能を有する。かかる閾値電圧検出手段2を構成するTFT6は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機EL素子7に供給する。有機EL素子7は、本来TFT6がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段2においては、TFT6のソース電極に対して電荷を供給する容量として機能する。有機EL素子7は、電気的には発光ダイオードと等価なものととらえることが可能であって、順方向の電位差を与えた場合には電流が流れて発光する一方、逆方向の電位差を与えた場合には電位差に応じて電荷を蓄積する機能を有するためである。

### 【0035】

また、閾値電圧検出手段2を構成するTFT8は、ソース電極がTFT6のゲート電極と接続し、ドレイン電極がTFT6のドレイン電極と接続している。また、TFT6のドレイン電極とTFT8のドレイン電極はグラウンドに接続している。したがって、TFT8は、オン状態となることにより、TFT6のゲート電極とドレイン電極を短絡するとともに、TFT6のゲート電極をグラウンドに接続する機能を有する。後述するように、本実施の形態1にかかる表示装置では、TFT8等を設けることによって、データ線3等のデータ書き込み手段1の構成要素を用いることなくTFT6の閾値電圧の検出を可能としている。また、TFT8のオン状態は走査線12により制御される。さらに、コモン線9は、本来有機EL素子7の発光時に電流を供給するためのものであるが、閾値電圧検出手段2においては、電位の極性を発光時と比較し反転することによりTFT6にソース電極からドレイン電極に向かって電流を流し有機EL素子7に電荷を蓄積させる機能を有する。

#### 【0036】

さらに、TFT11は、データ書き込み手段1と閾値電圧検出手段2との間に設けられ、データ書き込み手段1と閾値電圧検出手段2の電気的な接続を制御する。すなわち、データ書き込み手段1と閾値電圧検出手段2を電気的に導通させTFT6のゲート電極とソース電極との間に所定の電位差を発生させる場合にはTFT11をオン状態とし、データ書き込み手段1と閾値電圧検出手段2を電気的に絶縁する場合にはTFT11をオフ状態とする。TFT11を設けることにより、データ書き込み手段1と閾値電圧検出手段2とを電気的に絶縁することが可能となるため、一方の動作が他方の動作に影響を与えることを防止している。

#### 【0037】

また、TFT11は、閾値電圧検出手段2を構成するTFT8とチャネル層の導電性が異なるTFTである。さらに、TFT11のゲート電極とTFT8のゲート電極はともに第2の走査線である走査線12に接続されており、走査線12に供給される電位の極性によりTFT8とTFT11のいずれかがオン状態とされる。たとえば、図1に示すようにTFT8がp型TFTである場合、TFT11はTFT8とチャネル層の導電性が異なるn型TFTとなる。TFT11をオ

ン状態にするためには走査線 12 の電位を正の電位とする必要があり、TFT8 をオン状態にするためには走査線 12 の電位を負の電位とする必要がある。また、TFT11 を p 型 TFT、TFT8 を n 型 TFT としてもよく、この場合 TFT11 をオン状態にするためには走査線 12 の電位を負の電位とする必要があり、TFT8 をオン状態にするためには走査線 12 の電位を正の電位とする必要がある。なお、後述するように、第 2 のスイッチング手段である TFT8 と第 3 のスイッチング手段である TFT11 は、チャンネル層の導電性が同一である TFT としてもよく、この場合は第 2 のスイッチング手段である TFT と第 3 のスイッチング手段である TFT を別個の走査線で制御することとなる。

#### 【0038】

つぎに、図 2 および図 3 を参照し、図 1 に示す画素回路の動作を説明する。図 2 は、実施の形態 1 における画素回路のタイミングチャートである。図 3 は、図 2 に示す (a) ~ (d) における画素回路の動作方法の工程を示す図である。本実施の形態 1 にかかる表示装置では、図 2 (a) ~ (d) および図 3 (a) ~ (d) に示すように、画素回路においてデータ書き込みと閾値電圧検出は別個独立の工程で行われる。なお、図 3 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

#### 【0039】

図 2 (a) および図 3 (a) に示す工程は、閾値電圧検出の前段階として、有機 EL 素子 7 に電荷を蓄積させる前処理工程である。具体的には、TFT6 に発光時と逆方向の電流を流し有機 EL 素子 7 に電荷を蓄積させる工程である。ここで、TFT6 に発光時と逆方向の電流、すなわち、ソース電極からドレイン電極に向かう電流を流すため、TFT6 のソース電極にドレイン電極よりも大きな正の電位をかけなければならない。このため、TFT6 のソース電極が接続する共通線 9 の電位の極性を負の電位から正の電位とする。また、TFT11 のオン状態は維持されており TFT6 のゲート電極にはコンデンサ 5 からの電荷の供給が継続するため、TFT6 のオン状態は維持されたままである。したがって、TFT6 のソース電極はドレイン電極よりも大きな電位差が発生し、ゲート電極にはドレイン電極に対して閾値電圧よりも大きい電位が印加されており、TFT6



にはソース電極からドレイン電極に向かって電流が流れる。TFT6と接続する有機EL素子7にも発光時と逆方向の電流が流れ込むため、有機EL素子7は容量として機能し、アノード側にコンデンサ5に残存する電荷より十分に大きい負の電荷を蓄積する。有機EL素子7に電荷が蓄積された後、蓄積された電荷を保持するため、走査線12の電位を逆転させ負の電位としTFT11をオフ状態とする。このとき、TFT11と同様に走査線12により制御されるTFT8はオン状態となる。なお、本工程ではデータの書き込みは行われないため、データ線3からの電位の書き込みを制御するTFT4はオフ状態とする必要があり、走査線10は負の電位のままである。

#### 【0040】

図2(b)および図3(b)に示す工程は、閾値電圧検出手段2によってドライバー素子であるTFT6の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機EL素子7への負の電荷の蓄積が終了した後、コモン線9は正の電位から0電位となる。p型TFTであるTFT8のオン状態を維持するため、走査線12は負の電位としたままである。TFT8をオン状態に維持することにより、TFT6のゲート電極とドレイン電極は短絡されるとともにグラウンドに接続される。このため、TFT6のゲート電極とドレイン電極には0電位が与えられる。ここで、有機EL素子7はTFT6のソース電極と接続しているため、有機EL素子7のアノード側に蓄積された負の電荷に基づいて、TFT6のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT6はオン状態となる。また、TFT6のドレイン電極はグラウンドに電氣的に接続される一方、TFT6のソース電極は負電荷が蓄積された有機EL素子7に接続されている。したがって、TFT6においてはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向かって電流が流れる。かかる電流が流れることによって、有機EL素子7に蓄積された負電荷の絶対値は徐々に減少し、TFT6のゲート・ソース間電圧も徐々に低くなる。そして、TFT6のゲート・ソース間電圧が閾値電圧( $=V_{th1}$ )まで減少した時点で、TFT6はオフ状態となり、有機EL素子7に蓄積された負電荷の絶対値の減少も停止する。TFT6のゲート電極がグラウンドに接続されていることから、オフ状態となった時点におけるTFT

T 6 のソース電極の電位は ( $-V_{th1}$ ) に維持されることとなる。以上より、T F T 6 のソース電極に T F T 6 の閾値電圧 ( $-V_{th1}$ ) が現れ、T F T 6 の閾値電圧が検出される。なお、本工程では、走査線 12 は負の電位であるため T F T 11 はオフ状態を維持しており、閾値電圧検出手段 2 とデータ書き込み手段 1 は電氣的に絶縁される。したがって、データ書き込み手段 1 における動作が本工程に影響を与えることはない。また、ドライバー素子である T F T 6 の閾値電圧の検出は、閾値電圧検出手段 2 の構成要素のみによってなされ、データ書き込み手段 1 の構成要素の動作を必要としない。

#### 【0041】

図 2 (c) および図 3 (c) に示す工程は、データ書き込み手段 1 により有機 E L 素子 7 の輝度に対応する電位をデータ線 3 を介して書き込むデータ書き込み工程である。データ線 3 は、有機 E L 素子 7 の輝度に対応する電位を供給するため、電位 0 を示していた状態から有機 E L 素子 7 の輝度に対応する電位  $V_{D1}$  に変化する。また、データ線 3 により供給された電位を画素回路内に書き込むため、走査線 10 を正の電位とし T F T 4 をオン状態とする。T F T 4 がオン状態となることにより、T F T 4 を介してデータ線 3 より電位  $V_{D1}$  が書き込まれ、書き込まれた電位はコンデンサ 5 に保持される。書き込み電位  $V_{D1}$  がコンデンサ 5 に保持された後、T F T 4 をオフ状態とするため走査線 10 は負の電位となる。なお、走査線 12 は負の電位のままであり、T F T 11 はオフ状態を維持する。したがって、データ書き込み手段 1 と閾値電圧検出手段 2 は電氣的に絶縁され、閾値電圧検出手段 2 における動作が本工程に影響を与えることはない。以上より、データの書き込みはデータ書き込み手段 1 の構成要素のみによってなされ、閾値電圧検出手段 2 の動作を必要としない。言い換えると、データの書き込みはデータ書き込み手段 1 の構成要素のみによってなされ、T F T 6 の閾値電圧の検出は閾値電圧検出手段 2 の構成要素のみによってなされるため、データ書き込み手段 1 と閾値電圧検出手段 2 は独立して機能する。

#### 【0042】

図 2 (d) および図 3 (d) に示す工程は、有機 E L 素子 7 が発光する発光工程である。すなわち、コンデンサ 5 に保持された電荷が T F T 6 に供給され、T

TF T 6 がオン状態になり TF T 6 に電流が流れることにより有機 EL 素子 7 が発光する工程である。コンデンサ 5 に保持された電荷を TF T 6 のゲート電極に供給するためには、コンデンサ 5 と TF T 6 のゲート電極との間に設けられる TF T 1 1 をオン状態とし電氣的に導通させる必要がある。このため、走査線 1 2 の電位を正の電位とすることにより TF T 1 1 をオン状態とし、TF T 6 のゲート電極にコンデンサ 5 に保持されていた電荷  $V_{D1}$  を供給する。TF T 6 のゲート電極に電荷が供給されるため、TF T 6 はオン状態となる。ここで、TF T 6 には、ソース電極に閾値電圧検出工程において検出された閾値電圧 ( $-V_{th1}$ ) が現れている。本工程で TF T 6 のゲート電極にはコンデンサ 5 より供給された電位  $V_{D1}$  が印加されるため、TF T 6 には ( $V_{D1} + V_{th1}$ ) のゲート・ソース間電圧が発生する。この結果、TF T 6 には、ゲート・ソース間電圧である ( $V_{D1} + V_{th1}$ ) に対応する電流が流れる。ドライバー素子である TF T 6 に電流が流れることにより、TF T 6 に接続する有機 EL 素子 7 にも電流が流れ、有機 EL 素子 7 は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われないため、データ線 3 からの電位の書き込みを制御する TF T 4 はオフ状態とする必要があり、走査線 1 0 は負の電位のままである。

#### 【0043】

従来、アモルファスシリコンを使用し形成された TF T においては閾値電圧の変動が発生しやすく、同じ電位を書き込んでも閾値電圧の変動によって有機 EL 素子に流れる電流が異なり表示輝度が不均一となっていた。しかし、本実施の形態 1 における画素回路においては、TF T 6 のゲート・ソース間電圧は書き込み電位  $V_{D1}$  と TF T 6 の閾値電圧  $V_{th1}$  の和であり、かかる和電圧に対応する電流が TF T 6 に流れる。TF T 6 の閾値電圧を書き込み電位  $V_{D1}$  に加えた電圧が TF T 6 のゲート・ソース間電圧となるため、TF T 6 の閾値電圧の変動は補償される。この結果、TF T 6 に流れる電流は変動せず、有機 EL 素子 7 は均一な輝度の光を表示し、画質の劣化は抑制される。以下、図 4 を参照して説明する。

#### 【0044】

図 4 は、劣化前の TF T 6 と劣化後の TF T 6 の電圧－電流特性を示すグラフである。図 4 において、曲線 1 1 は劣化前の TF T 6 のゲート・ソース間電圧  $V_g$

$s$ とドレイン電流  $I_d$ の特性を示し、曲線 12は劣化後のTFT6の特性を示す。  
また、 $V_{th1}$ および $V_{th1}'$ は、劣化前および劣化後のTFT6の閾値電圧である。  
図4に示すように、劣化前と劣化後ではTFT6の閾値電圧が異なる。ここで、実施の形態1における画素回路においては、閾値電圧検出手段2で検出されたTFT6の閾値電圧とデータ書き込み手段1により書き込まれた電位  $V_{D1}$ との和である電圧が、TFT6のゲート・ソース間電圧となる。このため、同じ電位  $V_{D1}$ が書き込まれた場合、TFT6のゲート・ソース間電圧はそれぞれ  $V_{D1} + V_{th1}$ および  $V_{D1} + V_{th1}'$ と異なる。しかし、劣化前と劣化後にてTFT6の閾値電圧が異なる場合であっても、図4に示すようにドレイン電流はともに  $I_{d1}$ となり、TFT6には均一な電流が流れる。したがって、TFT6の閾値電圧が変動する場合であっても、有機EL素子には所定の電流が流れることとなり、有機EL素子7は所定の輝度の光を表示し、画質の劣化は抑制される。

#### 【0045】

また、本実施の形態1にかかる表示装置は、第2のスイッチング手段としてTFT8を設けることにより、閾値電圧検出工程においてTFT6のゲート電極とドレイン電極を短絡させ、ゲート電極とドレイン電極をグラウンドに接続している。この結果、TFT6においては、ゲート電極と負の電荷を蓄積した有機EL素子7と接続するソース電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧 ( $V_{th1}$ ) となりTFT6がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、TFT8を設けることにより、閾値電圧検出手段2の構成要素の動作のみによってTFT6の閾値電圧を検出する。このため、閾値電圧検出工程において、TFT6のゲート電極とTFT11およびTFT4を介して接続するデータ線3の電位を0電位とする必要はなく、閾値電圧の検出にデータ書き込み手段1の構成要素の動作は必要とされない。

#### 【0046】

また、実施の形態1にかかる表示装置には、データ書き込み手段1と閾値電圧検出手段2との間にTFT11が設けられている。TFT11はオフ状態になることによりデータ書き込み手段1と閾値電圧検出手段2を電氣的に絶縁するため、一方の動作が他方の動作に影響を与えることを防止することが可能となる。こ

のため、閾値電圧検出手段 1 とデータ書き込み手段 2 は別個独立に動作することができる。ここで、図 5 に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図 1 に示す画素回路のタイミングチャートを示す。図 5 (a) ~ (d) は図 2 の (a) ~ (d) と同様に、それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出手段 2 とデータ書き込み手段 1 は別個に動作可能であるため、図 5 に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

#### 【0047】

さらに、有機 EL 素子 7 に直列に配置される TFT は、ドライバー素子である TFT 6 のみであるため、有機 EL 素子 7 以外の非発光部で消費される電力の低減が可能である。また、走査線 12 により TFT 8 と TFT 11 の 2 箇所の TFT を制御するため、回路構成が簡単であり、電源電圧の利用効率および有機 EL 素子 7 に供給される電位の書き込み効率が高い。

#### 【0048】

なお、実施の形態 1 における画素回路として図 1 に TFT 11 と TFT 8 を一つの走査線 12 により制御する構造を示したが、第 2 のスイッチング手段である TFT と第 3 のスイッチング手段である TFT のそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図 6 に示すように、TFT 11 と第 2 のスイッチング手段である TFT 13 がともにチャネル層の導電性が同一の薄膜トランジスタ、たとえば n 型 TFT である構造である。かかる画素回路においては、TFT 11 は走査線 14 により制御され、TFT 13 は走査線 14 とは別個の走査線 15 により制御される。図 6 に示す画素回路の動作方法の工程は、図 3 (a) ~ (d) に示す各工程と同様であり、図 2 に示すタイミングチャートにおいて走査線 12 のみで制御していた第 2 のスイッチング手段と第 3 のスイッチング手段をそれぞれ走査線 14 および走査線 15 で制御することとなる。すなわち、第 3 のスイッチング手段である TFT 11 をオン状態とする場合には走査線 12 が正の電位を示すタイミングと同じタイミングで走査線 14 を正の電位とし、第 2 の

スイッチング手段である T F T 1 3 をオン状態とする場合には走査線 1 2 が負の電位を示すタイミングと同じタイミングで走査線 1 5 を正の電位とすることとなる。ただし、コンデンサ 5 に保持される電荷の放出を効果的に防止するため、図 6 に示す画素回路の各構成要素は図 7 に示すタイミングチャートに従い動作することが好ましい。ここで、図 7 (a) ~ (d) は、図 2 の (a) ~ (d) と同様に、それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程である。図 7 (a) に示す前処理工程において、有機 E L 素子 7 への負電荷の蓄積後、T F T 1 3 をオン状態とする前に T F T 1 1 をオフ状態とする。かかるタイミングで T F T 1 1 と T F T 1 3 が動作することにより、コンデンサ 5 に保持される電荷が T F T 1 3 を介してグラウンドへ放出されることを効果的に防止する。また、図 7 (c) に示すデータ書き込み工程終了後においては、T F T 1 3 をオフ状態とするため走査線 1 5 を負の電位とする。かかるタイミングで T F T 1 3 が動作することにより、コンデンサ 5 に保持される書き込み電位が T F T 1 3 を介してグラウンドに放出されることを防止する。以上より、図 6 に示す画素回路の各構成要素は、第 2 のスイッチング手段である T F T 1 3 と第 3 のスイッチング手段である T F T 1 1 の駆動状態を別個の走査線で制御するため、図 7 のタイミングチャートに従った動作が可能となる。この結果、コンデンサ 5 に保持される電荷の放出を効果的に防止することが可能となる。また、図 6 に示す画素回路は、チャンネル層の導電性が同一である T F T のみで構成されるため、製造コストの低減も可能となる。

#### 【0049】

##### (実施の形態 2)

つぎに、実施の形態 2 にかかる表示装置について説明する。本実施の形態 2 にかかる表示装置を構成する画素回路は、データ線と第 1 のスイッチング手段およびコンデンサを有するデータ書き込み手段と、第 2 のスイッチング手段と電流発光素子を有する閾値電圧検出手段を備える。さらに、コンデンサからドライバー素子への電荷の供給を制御するスイッチング手段としての T F T を備えた構造を有する。かかる画素回路により、データ書き込み手段と閾値電圧検出手段が別個独立に動作するよう構成されている。さらに、データ書き込み手段により書き込

まれた電位に、データ書き込み手段とは別個独立に機能する閾値電圧検出手段によって検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現できる。

#### 【0050】

図8は、本実施の形態2における画素回路の構造を示した図である。かかる画素回路は、図8に示すように、電流発光素子の輝度に対応した電位を供給するデータ線23と、かかる電位の書き込みを制御する第1のスイッチング手段であるTF T 24と、書き込まれた電位を保持するコンデンサ25と、TF T 24のゲート電極に接続する第1の走査線である走査線30により構成されるデータ書き込み手段21を備える。また、ドライバー素子であるTF T 26と、第2のスイッチング手段であるTF T 28と、電流発光素子である有機EL素子27と、TF T 26のソース電極に接続する電源線であるコモン線29により構成される閾値電圧検出手段22を備える。さらに、コンデンサ25の負極には、ソース電極がコモン線29と接続した第4のスイッチング手段であるTF T 31が接続されている。本実施の形態2にかかる表示装置は、かかる画素回路をマトリックス状に配置して構成される。なお、説明を容易にするため、TF T 26については、有機EL素子27と接続する電極をドレイン電極とし、コモン線29に接続する電極をソース電極とする。

#### 【0051】

データ書き込み手段21は、データ線23より有機EL素子27の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。かかるデータ書き込み手段21を構成するデータ線23、第1のスイッチング手段であるTF T 24、コンデンサ25および第1の走査線である走査線30は、実施の形態1にて説明した画素回路におけるデータ書き込み手段1を構成する各構成要素と同様の機能を有する。なお、コンデンサ25はデータ書き込み手段21と閾値電圧検出手段22を電氣的に分離する機能も有する。

#### 【0052】

閾値電圧検出手段22は、ドライバー素子であるTF T 26の閾値電圧を検出

する機能を有する。かかる閾値電圧検出手段 22 を構成する T F T 26 は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機 E L 素子 27 に供給する機能を有する。また、有機 E L 素子 27 は、本来 T F T 26 がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段 22 においては、T F T 26 のゲート電極とドレイン電極に対して電荷を供給する容量として機能する。また、T F T 28 は、オン状態となることにより T F T 26 のゲート電極とドレイン電極を短絡する機能を有する。後述するように、本実施の形態 2 にかかる表示装置では、T F T 28 を設けることによって、データ線 23 等のデータ書き込み手段 21 の構成要素を用いることなく T F T 26 の閾値電圧の検出を可能としている。また、T F T 28 のオン状態は走査線 32 により制御される。なお、電源線であるコモン線 29 は、実施の形態 1 にて説明したコモン線 9 と同様の機能を有する。

#### 【0053】

さらに、T F T 31 は、コンデンサ 25 の負極とコモン線 29 の間に設けられ、コンデンサ 25 とコモン線 29 の電氣的な接続を制御する機能を有する。T F T 31 は、後述する各工程にて電位の極性が変化するコモン線 29 と、コンデンサ 25 の負極との接続を制御することにより、コンデンサ 25 からドライバー素子である T F T 26 への電荷の移動を制御する。すなわち、T F T 31 がオン状態となり T F T 31 に電流が流れることによりコンデンサ 25 から T F T 26 に電荷が移動し、T F T 26 のゲート電極とソース電極との間に所定の電位差を発生させる。この結果、T F T 31 がオン状態となり T F T 31 に電流が流れることにより、データ書き込み手段 21 と閾値電圧検出手段 22 との間に電荷の移動が発生しデータ書き込み手段 21 と閾値電圧検出手段 22 は電氣的に接続される。

#### 【0054】

また、T F T 31 は、閾値電圧検出手段 22 を構成する T F T 28 とチャネル層の導電性が逆である。さらに、T F T 31 のゲート電極と T F T 28 のゲート電極はともに第 3 の走査線である走査線 32 に接続されており、走査線 32 に供給される電位の極性により T F T 28 と T F T 31 のいずれかがオン状態とされ



る。たとえば、図 8 に示すように T F T 2 8 が p 型 T F T である場合 T F T 3 1 は n 型 T F T となる。T F T 3 1 をオン状態にするためには走査線 3 2 の電位を正の電位とする必要があり、T F T 2 8 をオン状態とするためには走査線 3 2 の電位を負の電位とする必要がある。なお、T F T 3 1 を p 型 T F T、T F T 2 8 を n 型 T F T としてもよく、この場合 T F T 3 1 をオン状態とするためには走査線 3 2 を負の電位とする必要があり、T F T 2 8 をオン状態とするためには走査線 3 2 を正の電位とする必要がある。なお、後述するように、第 2 のスイッチング手段である T F T 2 8 と第 4 のスイッチング手段である T F T 3 1 は、チャネル層の導電性が同一である T F T としてもよく、この場合は第 2 のスイッチング手段である T F T と第 4 のスイッチング手段である T F T を別個の走査線で制御することとなる。

#### 【0055】

つぎに、図 9 および図 10 を参照し、図 8 に示す画素回路の動作を説明する。図 9 は、実施の形態 2 における画素回路のタイミングチャートである。図 10 は、図 9 に示す (a) ~ (e) における画素回路の動作方法の工程を示す図である。本実施の形態 2 にかかる表示装置では、図 9 (a) ~ (e) および図 10 (a) ~ (e) に示すように、データ書き込みと閾値電圧検出は別個独立の工程で行われる。図 10 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

#### 【0056】

図 9 (a) および図 10 (a) に示す工程は、閾値電圧検出の前段階として、有機 E L 素子 2 7 に電荷を蓄積させる前処理工程である。具体的には、T F T 2 6 に発光時と逆方向の電流を流すことによって有機 E L 素子 2 7 に電荷を蓄積させる工程である。本工程は、実施の形態 1 における画素回路の前処理工程と同様に、コモン線 2 9 の電位の極性を発光時と比較し反転することによって、有機 E L 素子 2 7 のカソード側にコンデンサ 2 5 に残存する電荷より十分に大きい正の電荷を蓄積させる。

#### 【0057】

図 9 (b) および図 10 (b) に示す工程は、閾値電圧検出手段 2 2 がドライ

バー素子である T F T 2 6 の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機 E L 素子 2 7 への正の電荷の蓄積が終了した後、コモン線 2 9 は正の電位から 0 電位となる。走査線 3 2 は負の電位のままであるため、T F T 2 8 がオン状態を維持することにより、T F T 2 6 のゲート電極とドレイン電極は短絡され同電位となる。ここで、有機 E L 素子 2 7 は T F T 2 6 のドレイン電極と接続しているため、有機 E L 素子 2 7 に蓄積された正の電荷は、T F T 2 6 のドレイン電極および T F T 2 8 によって短絡される T F T 2 6 のゲート電極に供給される。また、本工程において、コモン線 2 9 は正の電位から 0 電位となるため、コモン線 2 9 に接続する T F T 2 6 のソース電極には 0 電位が与えられる。したがって、T F T 2 6 のゲート・ソース間電圧は閾値電圧よりも大きくなり、T F T 2 6 はオン状態となる。T F T 2 6 にはゲート電極とソース電極の間に電位差が発生するため、ドレイン電極からソース電極に向かって電流が流れる。T F T 2 6 に電流が流れることによって、有機 E L 素子 2 7 に蓄積された正電荷は徐々に減少し、T F T 2 6 のゲート・ソース間電圧も徐々に低くなる。そして、T F T 2 6 のゲート・ソース間電圧が閾値電圧 ( $=V_{th2}$ ) まで減少した時点で、T F T 2 6 はオフ状態となり、有機 E L 素子 2 7 に蓄積された正の電荷の減少も停止する。ここで T F T 2 6 のソース電極は 0 電位であるコモン線 2 9 に接続し、T F T 2 6 のゲート電極とドレイン電極は有機 E L 素子 2 7 に接続していることから、T F T 2 6 がオフ状態となった後 T F T 2 6 のゲート電極とドレイン電極の電位は  $V_{th2}$  に維持されることになる。以上より、T F T 2 6 のゲート電極とドレイン電極に T F T 2 6 の閾値電圧  $V_{th2}$  が現れ、T F T 2 6 の閾値電圧が検出される。また、T F T 2 6 の閾値電圧の検出は、閾値電圧検出手段 2 2 の構成要素のみによってなされ、データ書き込み手段 2 1 の構成要素の動作を必要としない。

#### 【0058】

図 9 (c) および図 10 (c) は、検出した T F T 2 6 の閾値電圧を保持する閾値電圧保持工程である。T F T 3 1 がオフ状態を維持するため、T F T 2 6 のゲート電極に現れた T F T 2 6 の閾値電圧  $V_{th2}$  はコンデンサ 2 5 の正極で保持される。

## 【0059】

図9 (d) および図10 (d) は、データ書き込み工程である。実施の形態1における画素回路のデータ書き込み工程と同様に、有機EL素子27の輝度に対応する電位は、TFT24を介してデータ線23から書き込まれコンデンサ25にて保持される。なお、本工程において書き込まれる電位は ( $-V_{D2}$ ) である。コンデンサ25の正極には閾値電圧検出工程にて検出されたTFT26の閾値電圧  $V_{th2}$  が保持されているため、コンデンサ25にはTFT26の閾値電圧と書き込まれた電位との和である電圧に対応する電荷が保持されることとなる。また、TFT31はオフ状態を維持するため、データ書き込み手段21と閾値電圧検出手段22は電氣的に分離され、閾値電圧検出手段22における動作が本工程に影響を与えることはない。以上より、データの書き込みはデータ書き込み手段21の構成要素のみによってなされ、閾値電圧検出手段22の動作を必要としない。言い換えると、データの書き込みはデータ書き込み手段21の構成要素のみによってなされ、TFT26の閾値電圧の検出は閾値電圧検出手段22の構成要素のみによってなされるため、データ書き込み手段21と閾値電圧検出手段22は独立して機能する。

## 【0060】

図9 (e) および図10 (e) は、有機EL素子27が発光する発光工程である。すなわち、コンデンサ25に保持された電荷がドライバー素子であるTFT26に供給され、TFT26がオン状態になりTFT26に電流が流れることにより有機EL素子27が発光する工程である。ここで、コンデンサ25に保持される電荷をTFT26のゲート電極に供給するためには、TFT31をオン状態にする必要がある。このため、走査線32を正の電位にし、TFT31をオン状態とする。TFT31がオン状態となることによりコンデンサ25の負極の電位はグラウンドまで上昇し、コンデンサ25の正極には負極に保持されていた電位 ( $-V_{D2}$ ) が与えられ ( $V_{D2} + V_{th2}$ ) が現れる。かかる電位がTFT26のゲート電極に印加され、TFT26はオン状態となる。TFT26のドレイン電極は有機EL素子27に接続し、ソース電極は負の電位とされたコモン線29に接続するため、TFT26には ( $V_{D2} + V_{th2}$ ) のゲート・ソース間電圧が発生し

、ドレイン電極からソース電極に向かって、かかるゲート・ソース間電圧に対応する電流が流れる。ドライバー素子に電流が流れることにより、TF T 2 6 に接続する有機EL素子27にも電流が流れ、有機EL素子27は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われなため、TF T 2 4 はオフ状態を維持する。

#### 【0061】

実施の形態2にかかる表示装置においては、実施の形態1にかかる表示装置と同様に、発光工程におけるドライバー素子であるTF T 2 6 のゲート・ソース間電圧は書き込まれた電位 $V_{D2}$ とTF T 2 6 の閾値電圧である $V_{th2}$ の和であり、かかる和電圧に対応する電流がTF T 2 6 に流れる。したがって、TF T 2 6 の閾値電圧を書き込まれた電位 $V_{D2}$ に加えた電圧がTF T 2 6 のゲート・ソース間電圧となるため、TF T 2 6 の閾値電圧の変動は補償される。この結果、TF T 2 6 に流れる電流は変動せず、有機EL素子は均一な輝度の光を表示し、画質の劣化は抑制される。

#### 【0062】

また、本実施の形態2にかかる表示装置は、第2のスイッチング手段としてTF T 2 8 を設けることにより、閾値電圧検出工程においてTF T 2 6 のゲート電極とドレイン電極を短絡させ同電位とする。0電位であるコモン線29と接続するソース電極とゲート電極との間に電位差が生じ電流が流れ、ゲート・ソース間電圧が閾値電圧( $V_{th2}$ )となりTF T 2 6 がオフ状態となることによりゲート電極に閾値電圧を検出する。したがって、TF T 2 8 を設けることにより、閾値電圧検出手段22の構成要素の動作のみによってTF T 2 6 の閾値電圧を検出する。このため、閾値電圧の検出にデータ書き込み手段21の構成要素の動作を必要としない。

#### 【0063】

また、実施の形態2にかかる表示装置は、TF T 3 1 がオン状態となりTF T 3 1 に電流が流れることにより、データ書き込み手段21と閾値電圧検出手段22が電氣的に接続される。さらに、データ書き込み手段21と閾値電圧検出手段との境界には絶縁物であるコンデンサ25が設けられている。したがって、デー

タ書き込み手段 21 と閾値電圧検出手段 22 は絶縁物により境界を隔てられているため、TFT31 がオフ状態である場合には電氣的に分離される。このため、一方の動作が他方の動作に影響を与えることを防止することが可能となり、閾値電圧検出手段 21 とデータ書き込み手段 22 は別個独立に動作する。ここで、図 11 に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図 8 に示す画素回路のタイミングチャートを示す。図 11 (a) ~ (e) は図 9 の (a) ~ (e) と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出手段 22 とデータ書き込み手段 21 は別個独立に動作可能であるため、図 11 に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

#### 【0064】

さらに、有機 EL 素子 27 に直列に配列される TFT は、ドライバー素子である TFT26 のみであるため、有機 EL 素子 27 以外の非発光部で消費される電力の削減が可能である。また、走査線 32 により TFT28 と TFT31 の 2 箇所の TFT を制御するため回路構成も簡単であり、電源電圧の利用効率および有機 EL 素子 27 に供給される電位の書き込み効率が高い。

#### 【0065】

なお、実施の形態 2 における画素回路として図 8 に TFT31 と TFT28 を一つの走査線 32 により制御する構造を示したが、第 2 のスイッチング手段である TFT と第 4 のスイッチング手段である TFT のそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図 12 に示すように、TFT31 と第 2 のスイッチング手段である TFT33 がともにチャネル層の導電性が同一の薄膜トランジスタ、たとえば n 型 TFT である構造である。かかる画素回路においては、TFT31 は走査線 34 により制御され、TFT33 は走査線 34 とは別個の走査線 35 により制御される。図 12 に示す画素回路の動作方法の工程は、図 10 (a) ~ (e) に示す各工程と同様であり、図 9 に示すタイミングチャートにおいて走査線 32 のみで制御していた第 2 のスイッチング手段と第 4 のスイッチ

ング手段を、それぞれ走査線 34 および走査線 35 で制御することとなる。すなわち、第 4 のスイッチング手段である T F T 3 1 をオン状態とする場合には走査線 3 2 が正の電位を示すタイミングと同じタイミングで走査線 3 4 を正の電位とし、第 2 のスイッチング手段である T F T 3 3 をオン状態とする場合には走査線 3 2 が負の電位を示すタイミングと同じタイミングで走査線 3 5 を正の電位とすることとなる。ただし、コンデンサ 2 5 に保持される電荷の放出を効果的に防止し、さらに、安定した階調を実現するため、図 1 2 に示す画素回路の各構成要素は図 1 3 に示すタイミングチャートに従い動作することが好ましい。ここで、図 1 3 (a) ~ (e) は、図 9 の (a) ~ (e) と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程である。図 1 3 に示すタイミングチャートにおいては、図 1 3 (b) に示す閾値電圧検出工程終了時に T F T 3 1 をオフ状態とする。かかるタイミングで T F T 3 1 がオフ状態とされるため、閾値電圧検出工程においては 0 電位を示すコモン線 2 9 とコンデンサ 2 5 の負極との接続が維持される。この結果、閾値電圧検出工程では、大きな電荷を蓄積する有機 E L 素子 2 7 と接続する T F T 2 6 の閾値電圧が、より安定に検出される。さらに、前フレームの書き込み電位と本フレームの書き込み電位との差が大きい場合でも、データ書き込み工程では前フレームの影響を受けずに所定の電位がコンデンサ 2 5 に書き込まれ、安定した階調を実現することが可能となる。また、図 1 3 (d) に示すデータ書き込み工程終了後において、T F T 3 1 をオン状態とする前に T F T 3 3 をオフ状態とするため走査線 3 5 を負の電位とする。かかるタイミングで T F T 3 3 が動作することにより、コンデンサ 2 5 に保持される書き込み電位が T F T 3 3 を介してグラウンドに放出されることを防止する。以上より、図 1 2 に示す画素回路の各構成要素は、第 2 のスイッチング手段である T F T 3 3 と第 4 のスイッチング手段である T F T 3 1 の駆動状態を別個の走査線により制御するため、図 1 3 に示すタイミングチャートに従った動作が可能となる。この結果、コンデンサ 2 5 に保持される電荷の放出を効果的に防止し、さらに、安定した階調を実現することができる。また、図 1 2 に示す画素回路は、チャンネル層の導電性が同一である T F T のみで構成されるため製造コストの低減も可能となる。

## 【0066】

## (実施の形態3)

つぎに、実施の形態3にかかる表示装置について説明する。本実施の形態3にかかる表示装置は、データ線と第1のスイッチング手段およびコンデンサを有するデータ書き込み手段と、電流発光素子と第2のスイッチング手段として2つのTFTを有する閾値電圧検出手段を備える。かかる表示装置により、データ書き込み手段と閾値電圧検出手段は別個に動作するよう構成されており、データ書き込み手段により書き込まれた電位に、データ書き込み手段とは別に機能する閾値電圧検出手段により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

## 【0067】

図14は、本実施の形態3における画素回路の構造を示した図である。本実施の形態3における画素回路は、図14に示すように、電流発光素子の輝度に対応する電位を供給するデータ線43と、第1のスイッチング手段であるTFT44と、書き込まれた電位を保持するコンデンサ45と、TFT44のゲート電極に接続する第1の走査線である走査線51により構成されるデータ書き込み手段41を備える。さらに、ドライバー素子であるTFT46と、第1の薄膜トランジスタであるTFT48および第2の薄膜トランジスタであるTFT49を有する第2のスイッチング手段と、電流発光素子である有機EL素子47と、有機EL素子に接続する電源線であるコモン線50により構成される閾値電圧検出手段42を備える。なお、説明を容易にするため、TFT46については有機EL素子47と接続する電極をソース電極とし、TFT49と接続する電極をドレイン電極とする。

## 【0068】

データ書き込み手段41は、データ線43より有機EL素子47の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。データ書き込み手段41を構成するデータ線43、第1のスイッチング手段であるTFT44、コンデンサ45、第1の走査線である走査線51は、実施の形態1における画素

回路のデータ書き込み手段 1 を構成する各構成要素と同様の機能を有する。

#### 【0069】

閾値電圧検出手段 42 は、ドライバー素子である TFT 46 の閾値電圧を検出する機能を有する。かかる閾値電圧検出手段 42 を構成するドライバー素子である TFT 46 は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機 EL 素子 47 に供給する機能を有する。また、TFT 46 のソース電極と接続する有機 EL 素子 47 は、本来 TFT 46 がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段 42 においては、TFT 46 のソース電極に対して電荷を供給する容量として機能する。

#### 【0070】

また、TFT 48 および TFT 49 は、第 2 のスイッチング手段を構成する。TFT 48 のソース電極は TFT 46 のゲート電極に接続しており、TFT 49 のソース電極は TFT 46 のドレイン電極に接続しており、TFT 49 のドレイン電極と TFT 48 のドレイン電極は互いに接続するとともにグラウンドに接続する。すなわち、TFT 48 と TFT 49 がともにオン状態となることによって、TFT 46 のゲート電極とドレイン電極は短絡されるとともにグラウンドに接続する。後述するように、本実施の形態 3 にかかる表示装置では、TFT 48 および TFT 49 を設けることによって、データ線 43 等のデータ書き込み手段 41 の構成要素を用いることなく TFT 46 の閾値電圧の検出を可能としている。さらに、TFT 49 は、オフ状態となることにより、検出された TFT 46 の閾値電圧を TFT 46 のソース電極に保持する機能も有する。なお、TFT 48 は走査線 52 により制御され、TFT 49 は走査線 53 により制御される。また、電源線であるコモン線 50 は、実施の形態 1 における画素回路を構成するコモン線 9 と同様の機能を有する。

#### 【0071】

つぎに、図 15 および図 16 を参照し、図 14 に示す実施の形態 3 における画素回路の動作状態を説明する。図 15 は、実施の形態 3 における画素回路のタイミングチャートである。図 16 は、図 15 に示す (a) ~ (e) における画素回



路の動作方法の工程を示す図である。図15 (a) ~ (e) および図16 (a) ~ (e) に示すように、画素回路においてデータの書き込みと閾値電圧の検出は別個独立の工程で行われる。図16において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

#### 【0072】

図15 (a) および図16 (a) に示す工程は、閾値電圧検出の前段階として有機EL素子47に電荷を蓄積する前処理工程である。具体的には、TF T 46に発光時と逆方向の電流を流すことによって有機EL素子47に電荷を蓄積させる工程である。本工程は、実施の形態1における画素回路の前処理工程と同様に、コモン線50の電位の極性を発光時と比較し反転することによって、有機EL素子47のアノード側にコンデンサ45に残存する電荷より十分に大きい負の電荷を蓄積させる。なお、TF T 46のドレイン電極をグラウンドに接続するため、TF T 49はオン状態を維持する。有機EL素子47に電荷が蓄積された後、蓄積された電荷を保持するため、走査線52を正の電位としTF T 48をオン状態とする。

#### 【0073】

図15 (b) および図16 (b) に示す工程は、閾値電圧検出手段42によってドライバー素子であるTF T 46の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機EL素子47への負の電荷の蓄積が終了した後、コモン線50は正の電位から0電位となる。走査線52および走査線53はともに正の電位のままであるため、TF T 48およびTF T 49のオン状態が維持されることにより、TF T 46はゲート電極とドレイン電極が短絡されるとともにグラウンドに接続されることとなる。したがって、TF T 46のゲート電極とドレイン電極には0電位が与えられる。ここで、有機EL素子47はTF T 46のソース電極と接続しているため、有機EL素子47のアノード側に蓄積された負の電荷に基づいて、TF T 46のゲート・ソース間電圧は閾値電圧よりも大きくなり、TF T 46はオン状態となる。また、TF T 46のドレイン電極はオン状態であるTF T 49を介してグラウンドに接続される一方、TF T 46のソース電極は負電荷が蓄積された有機EL素子47に接続され負の電位を与えられる。したがっ

て、TFT46にはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向かって電流が流れる。かかる電流が流れることにより、有機EL素子47に蓄積された負電荷の絶対値は徐々に減少し、TFT46のゲート・ソース間電圧が閾値電圧(=  $V_{th3}$ )まで減少した時点でTFT46はオフ状態となり、有機EL素子47に蓄積された負電荷の絶対値の減少も停止する。TFT46のゲート電極は、オン状態であるTFT49を介してグラウンドに接続されていることから、TFT46のソース電極の電位は( $-V_{th3}$ )に維持されることとなる。以上より、TFT6のソース電極にTFT46の閾値電圧( $-V_{th3}$ )が現れ、TFT46の閾値電圧が検出される。なお、本工程においてドライバ素子であるTFT46の閾値電圧の検出は、閾値電圧検出手段42の構成要素のみによってなされ、データ書き込み手段41の構成要素の動作を必要としない。

#### 【0074】

図15(c)および図16(c)は、検出した閾値電圧を保持する閾値電圧保持工程である。TFT48およびTFT49をとともオフ状態とするため、走査線52および走査線53を負の電位とする。TFT49がオフ状態となるため、TFT46のソース電極に現れたTFT46の閾値電圧( $-V_{th3}$ )は、グラウンドに放出されることなく安定に保持される。

#### 【0075】

図15(d)および図16(d)に示す工程は、データ書き込み工程である。実施の形態1における画素回路のデータ書き込み工程と同様に、有機EL素子47の輝度に対応する電位は、TFT44を介してデータ線43から書き込まれコンデンサ45にて保持される。なお、本工程において書き込まれる電位は $V_{D3}$ である。ここで、データの書き込みはデータ書き込み手段41の構成要素のみによってなされ、閾値電圧検出手段42の動作を必要としない。言い換えると、データの書き込みはデータ書き込み手段41の構成要素のみによってなされ、TFT46の閾値電圧の検出は閾値電圧検出手段42の構成要素のみによってなされるため、データ書き込み手段41と閾値電圧検出手段42は独立して機能する。なお、本工程においては画素回路の構造上TFT46のゲート電極においても書き

込み電位である  $V_{D3}$  がかかることとなり T F T 4 6 はオン状態となるが、T F T 4 6 のドレイン電極に接続する T F T 4 9 がオフ状態であるため T F T 4 6 に電流は流れず、閾値電圧検出工程にて検出された T F T 4 6 の閾値電圧は消失しない。

#### 【0076】

図 1 5 (e) および図 1 6 (e) 示す工程は、有機 E L 素子 4 7 が発光する発光工程である。すなわち、コンデンサ 4 5 に保持された電荷がドライバー素子である T F T 4 6 に供給され、T F T 4 6 がオン状態になり T F T 4 6 に電流が流れることにより有機 E L 素子 4 7 が発光する工程である。ここで、T F T 4 6 のゲート電極には接続するコンデンサ 4 5 より電位  $V_{D3}$  が印加される。この結果、T F T 4 6 のゲート電極はオン状態となる。ここで、T F T 4 6 のソース電極には閾値電圧検出工程において検出された閾値電圧 ( $-V_{th3}$ ) が現れている。また、本工程で T F T 4 6 のゲート電極にコンデンサ 4 5 より印加された電位  $V_{D3}$  がかかるため、T F T 4 6 には  $(V_{D3} + V_{th3})$  のゲート・ソース間電圧が発生する。この結果、T F T 4 6 には、ゲート・ソース間電圧である  $(V_{D3} + V_{th3})$  に対応する電流が流れる。ドライバー素子である T F T 4 6 に電流が流れることにより、T F T 4 6 に接続する有機 E L 素子 4 7 にも電流が流れ、有機 E L 素子 4 7 は流れる電流に対応した輝度の光を表示する。なお、コンデンサ 4 5 から供給される電荷がグラウンドに放出され消滅するのを防止するため、コンデンサ 4 5 と接続する T F T 4 8 はオフ状態とする必要がある。このため、走査線 5 2 は負の電位のままである。また、T F T 4 6 のドレイン電極をグラウンドに接続するため、走査線 5 3 は正の電位とされ T F T 4 9 はオン状態とされる。さらに、本工程においてはデータ線 4 3 から電位は書き込まれないため、T F T 4 4 をオフ状態とする必要があることから走査線 5 1 は負の電位のままである。

#### 【0077】

実施の形態 3 にかかる表示装置においては、実施の形態 1 にかかる表示装置と同様に、発光工程におけるドライバー素子である T F T 4 6 のゲート・ソース間電圧は書き込まれた電位  $V_{D3}$  と T F T 4 6 の閾値電圧である  $V_{th3}$  の和であり、かかる和電圧に対応する電流が T F T 4 6 に流れる。したがって、T F T 4 6 の

閾値電圧が変動した場合であってもかかる閾値電圧を書き込まれた電位  $V_{D3}$  に加えた電圧が T F T 4 6 のゲート・ソース間電圧となるため、T F T 4 6 の閾値電圧の変動は補償される。この結果、ドライバー素子である T F T 4 6 の閾値電圧が変動した場合であっても T F T 4 6 に流れる電流は変動せず、有機 E L 素子は均一な輝度の光を表示し、画質の劣化は抑制される。

#### 【0078】

また、本実施の形態 3 にかかる表示装置は、第 2 のスイッチング手段として T F T 4 8 および T F T 4 9 を設けることにより、閾値電圧検出工程において T F T 4 6 のゲート電極とドレイン電極を短絡させ、T F T 4 6 のゲート電極とドレイン電極をグラウンドに接続している。この結果、T F T 4 6 には負の電荷を蓄積した有機 E L 素子 4 7 と接続するソース電極とゲート電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧 ( $V_{th3}$ ) となり T F T 4 6 がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、T F T 4 8 および T F T 4 9 を設けることにより、閾値電圧検出手段 4 2 の構成要素の動作のみによって T F T 4 6 の閾値電圧を検出する。このため、閾値電圧の工程において、T F T 4 4 を介して T F T 4 6 のゲート電極に接続するデータ線 4 3 の電位を 0 電位とする必要はなく、閾値電圧の検出にデータ書き込み手段 4 1 の構成要素の動作を必要としない。

#### 【0079】

さらに、実施の形態 3 における画素回路は、ドライバー素子である T F T 4 6 のゲート電極にコンデンサ 4 5 の正極が直接接続されている。したがって、データ線 4 3 により供給されコンデンサ 4 5 で保持される電位が直接 T F T 4 6 のゲート電極に印加されるため、書き込んだデータ電位の信頼性が高い。

#### 【0080】

##### 【発明の効果】

以上説明したように、本発明にかかる表示装置によれば、ドライバー素子である T F T の閾値電圧が変動した場合でも、閾値電圧検出手段により検出された閾値電圧を書き込み電位に加えた電圧がゲート・ソース間電圧となり、T F T に流れる電流は変動せず、有機 E L 素子は均一な輝度の光を表示する。また、本発明

にかかる表示装置によれば、ドライバー素子である T F T のゲート電極とドレイン電極を短絡する第 2 のスイッチング手段を閾値電圧検出手段に設けることにより、データの書き込みと閾値電圧の検出を別個独立に行うことができる。

【図面の簡単な説明】

【図 1】

実施の形態 1 における画素回路の構造を示した図である。

【図 2】

図 1 に示す画素回路のタイミングチャートである。

【図 3】

図 2 に示す (a) ~ (d) における画素回路の動作方法の工程を示す図である。

【図 4】

劣化前の T F T と劣化後の T F T の電圧-電流特性を示すグラフである。

【図 5】

データの書き込みとドライバー素子である T F T の閾値電圧の検出の動作を同じタイミングで終了した場合における図 1 に示す画素回路のタイミングチャートである。

【図 6】

実施の形態 1 における画素回路の構造の他の例を示した図である。

【図 7】

図 6 に示す画素回路のタイミングチャートである。

【図 8】

実施の形態 2 における画素回路の構造を示した図である。

【図 9】

図 8 に示す画素回路のタイミングチャートである。

【図 10】

図 9 に示す (a) ~ (e) における画素回路の動作方法の工程を示す図である。

【図 11】

データの書き込みとドライバー素子である T F T の閾値電圧の検出の動作を同じタイミングで終了した場合における図 8 に示す画素回路のタイミングチャートである。

【図 1 2】

実施の形態 2 における画素回路の構造の他の例を示した図である。

【図 1 3】

図 1 2 に示す画素回路のタイミングチャートである。

【図 1 4】

実施の形態 3 における画素回路の構造を示した図である。

【図 1 5】

図 1 4 に示す画素回路のタイミングチャートである。

【図 1 6】

図 1 5 に示す ( a ) ~ ( e ) における画素回路の動作方法の工程を示す図である。

【図 1 7】

従来技術にかかるアクティブマトリックス方式の有機 E L 表示装置における画素回路である

【図 1 8】

劣化前の T F T と劣化後の T F T の電圧－電流特性を示すグラフである。

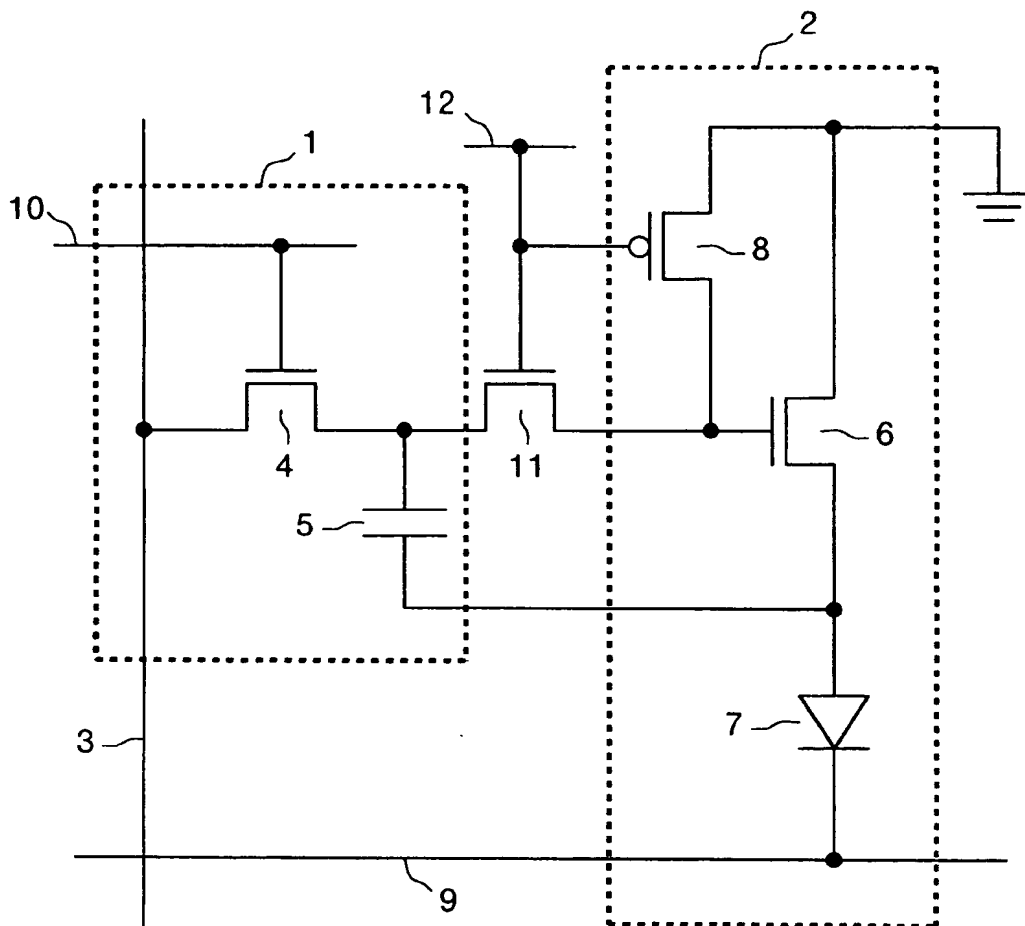
【符号の説明】

- |               |           |
|---------------|-----------|
| 1、2 1、4 1     | データ書き込み手段 |
| 2、2 2、4 2     | 閾値電圧検出手段  |
| 3、2 3、4 3     | データ線      |
| 4、2 4、4 4     | T F T     |
| 5、2 5、4 5     | コンデンサ     |
| 6、2 6、4 6     | T F T     |
| 7、2 7、4 7     | 有機 E L 素子 |
| 8、2 8、4 8、4 9 | T F T     |
| 9、2 9、5 0     | コモン線      |

1 0、3 0、5 1 走査線  
1 1、3 1 T F T  
1 2、3 2、5 2、5 3 走査線  
1 3、3 3 T F T  
1 4、1 5、3 4、3 5 走査線  
1 0 1 データ線  
1 0 2 T F T  
1 0 3 コンデンサ  
1 0 4 T F T  
1 0 5 有機 E L 素子  
1 0 6 走査線

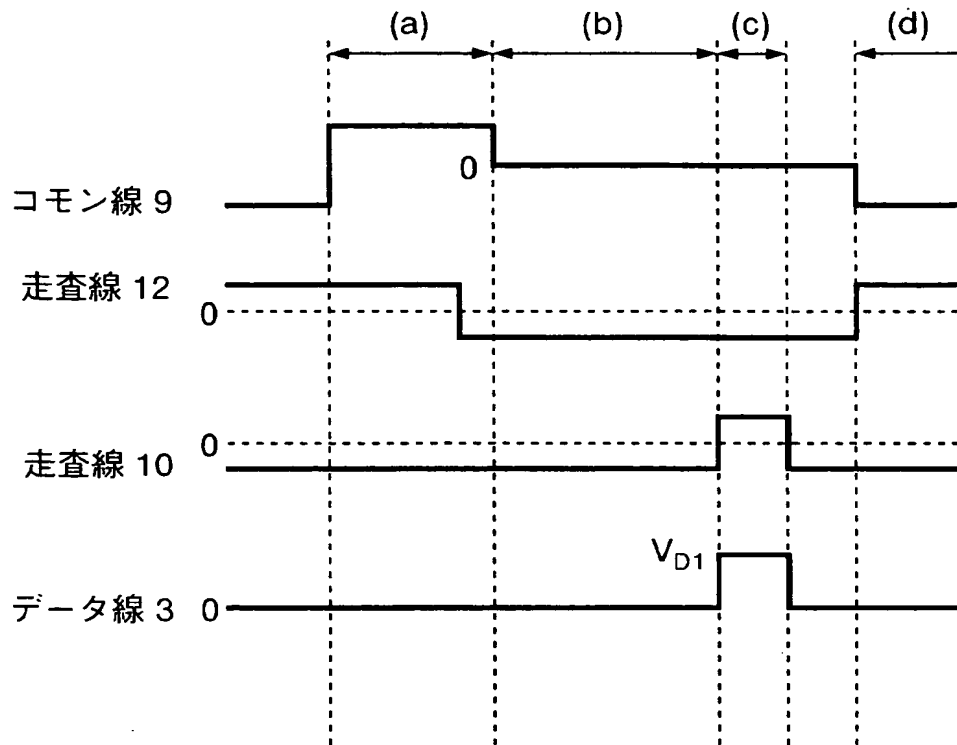
【書類名】 図面

【図 1】

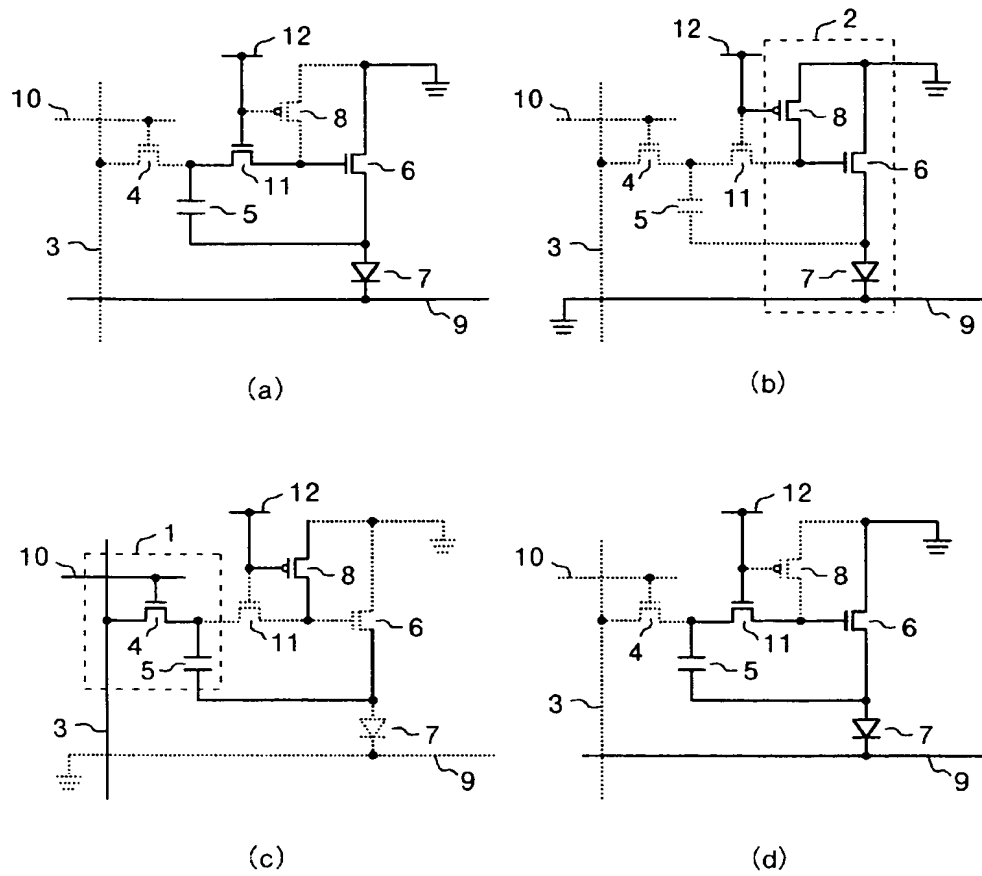




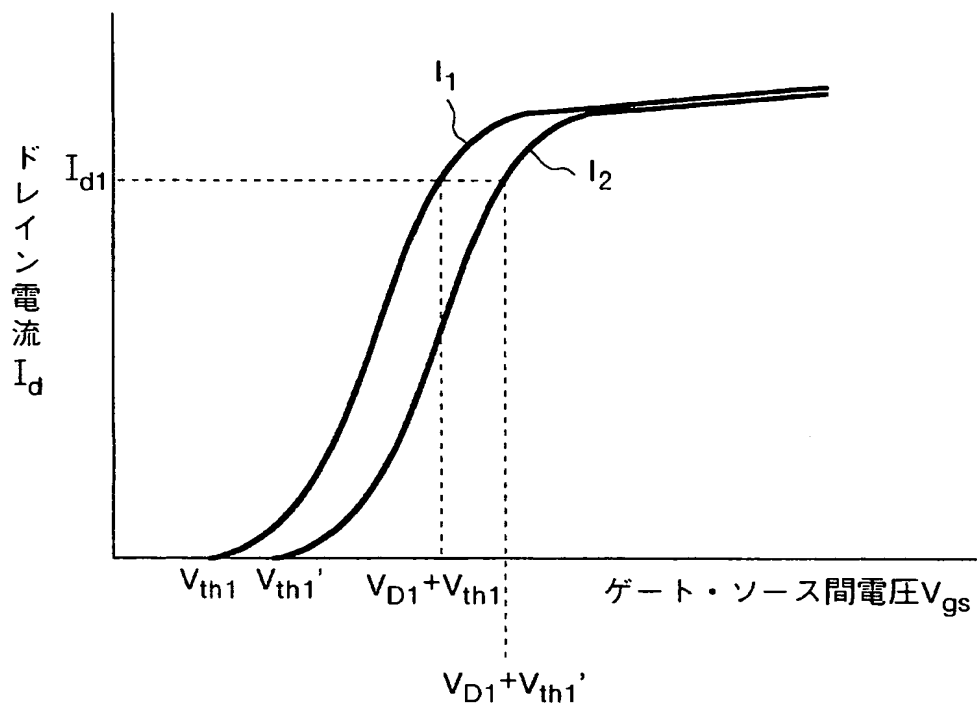
【図 2】



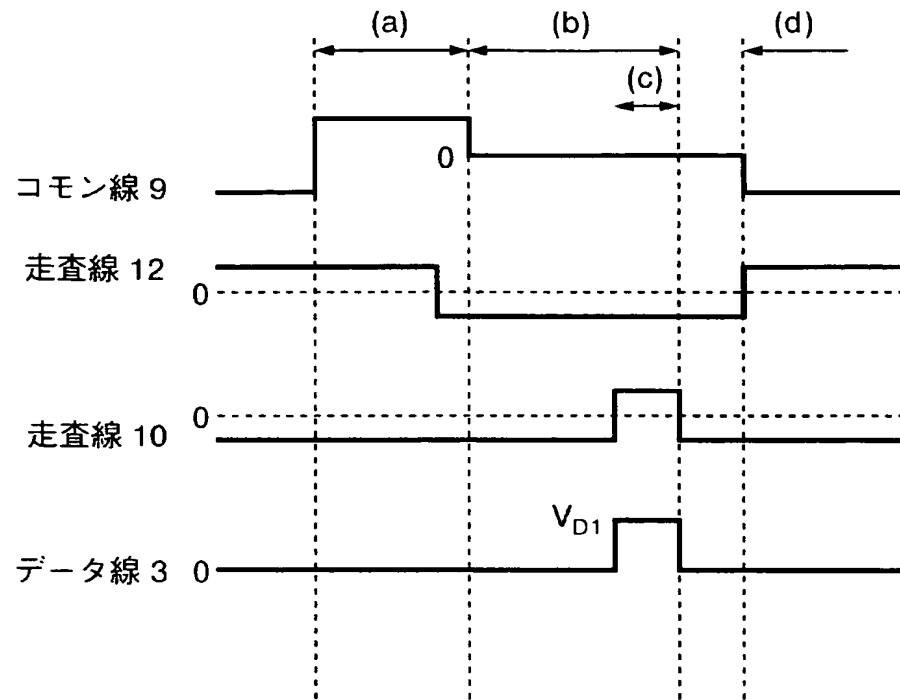
【図 3】



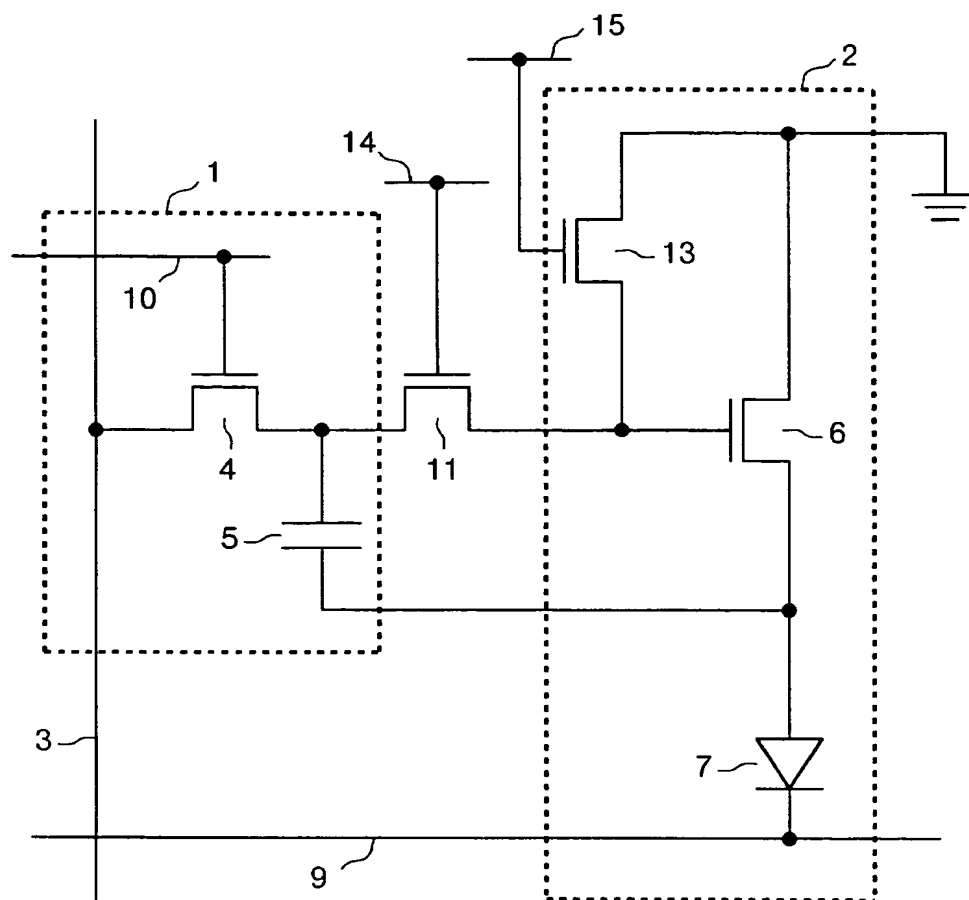
【図 4】



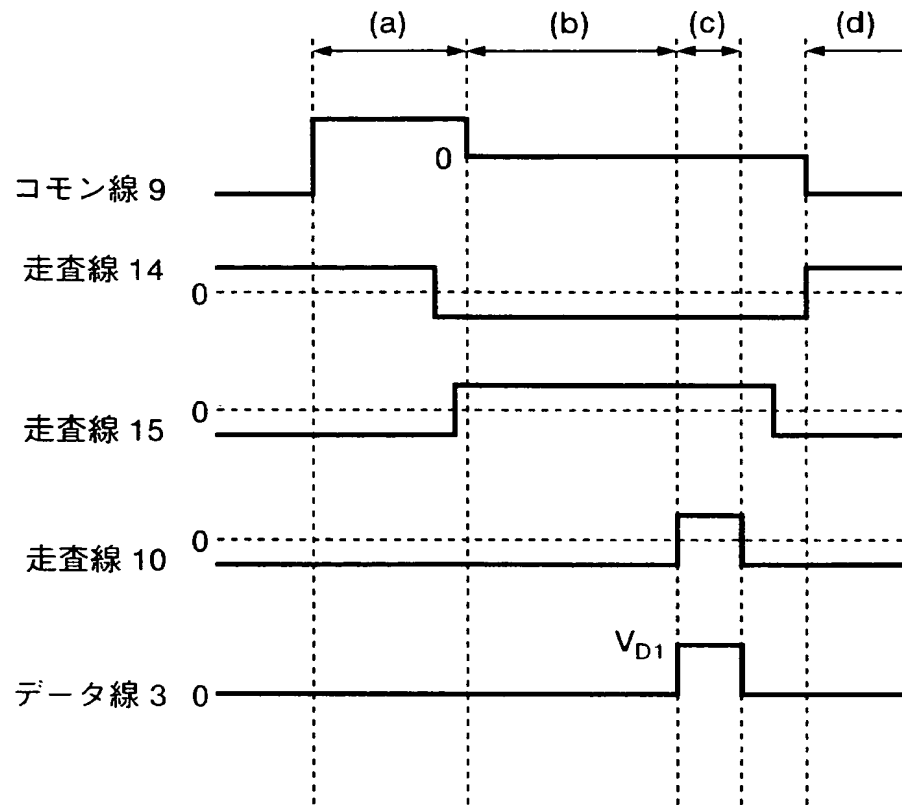
【図 5】



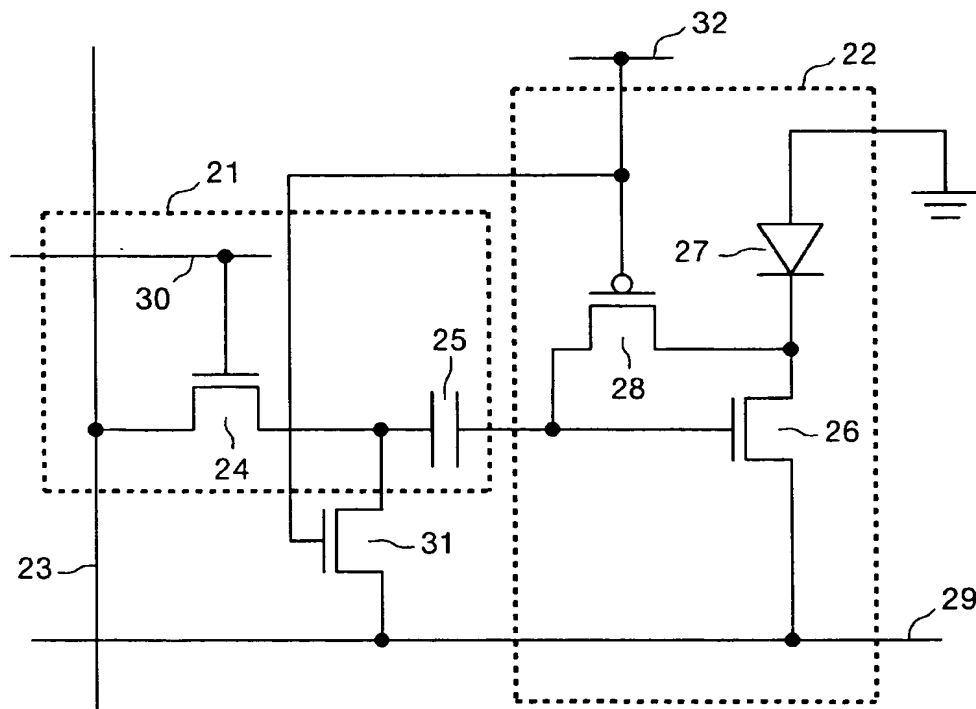
【図 6】



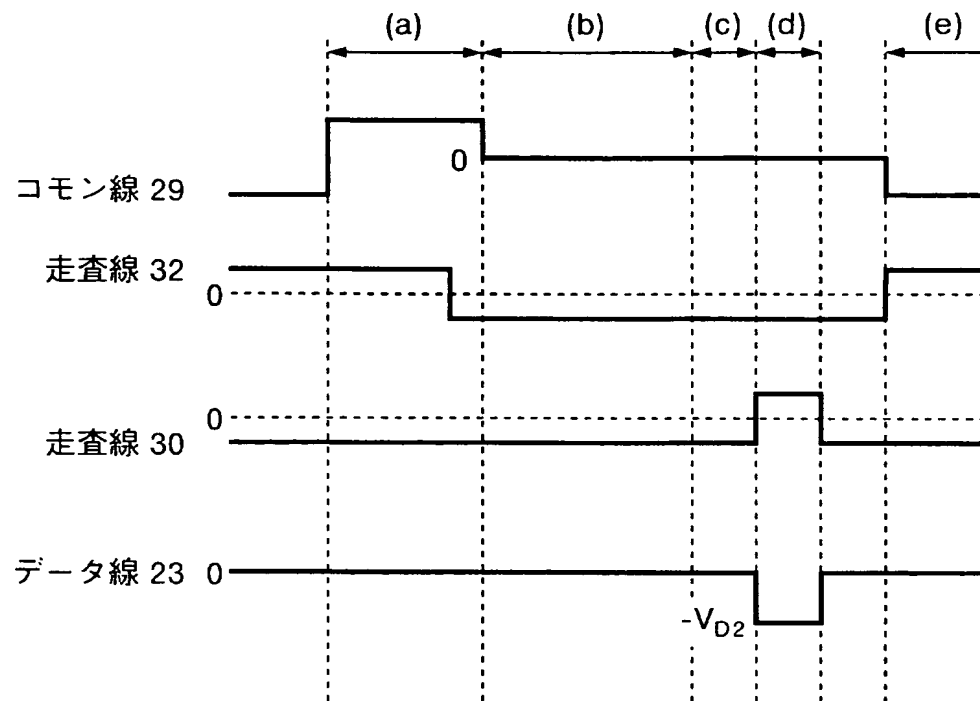
【図 7】



【図 8】

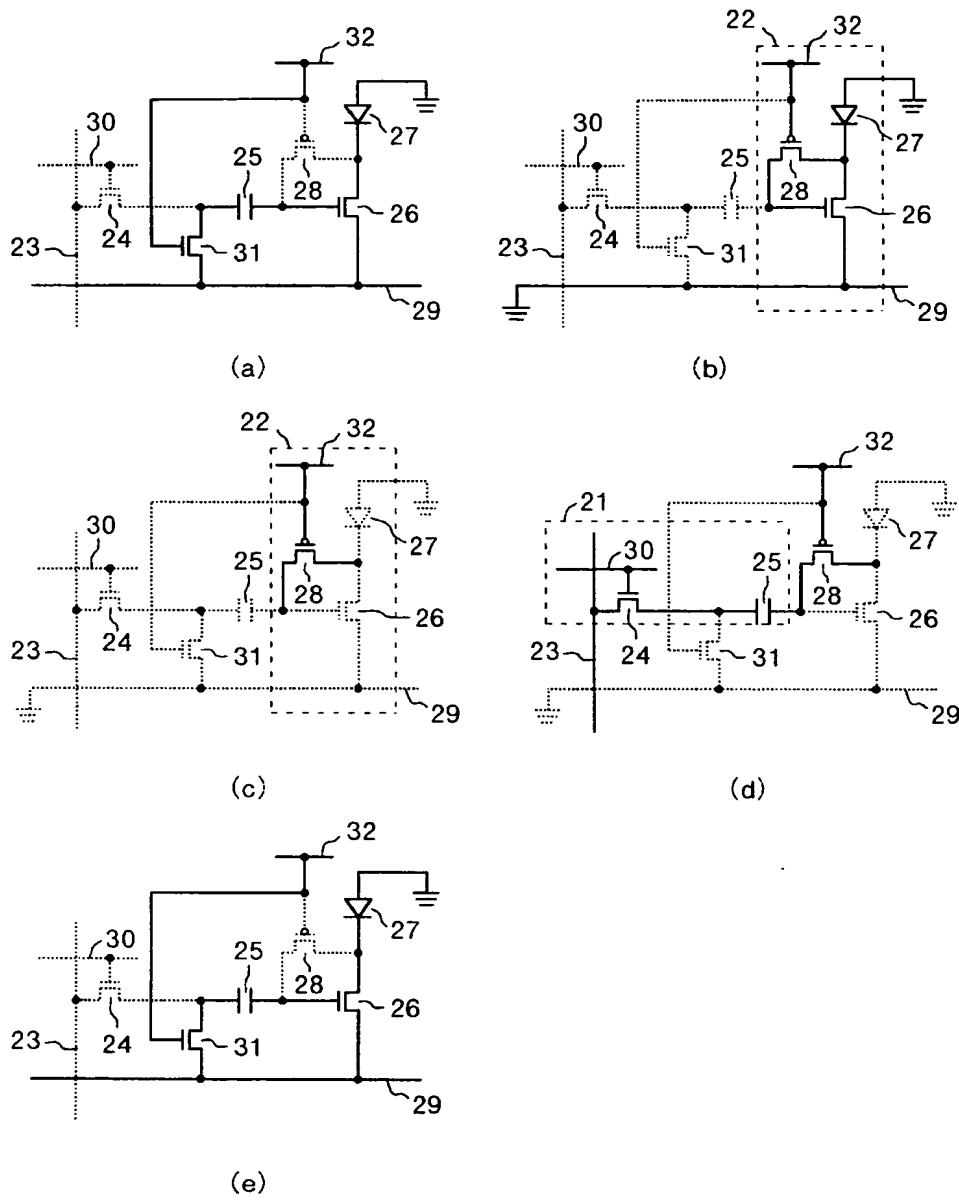


【図 9】

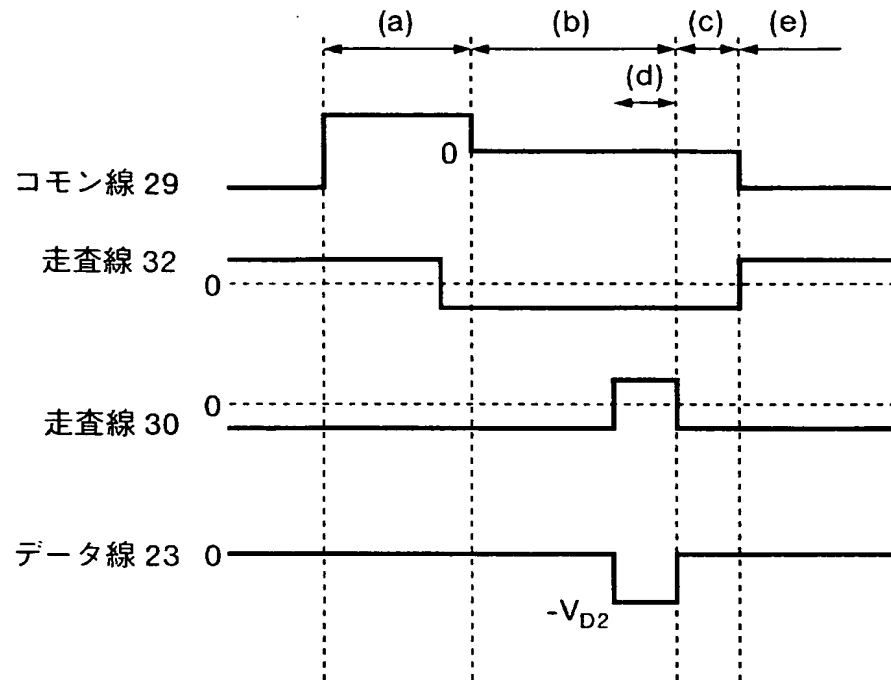




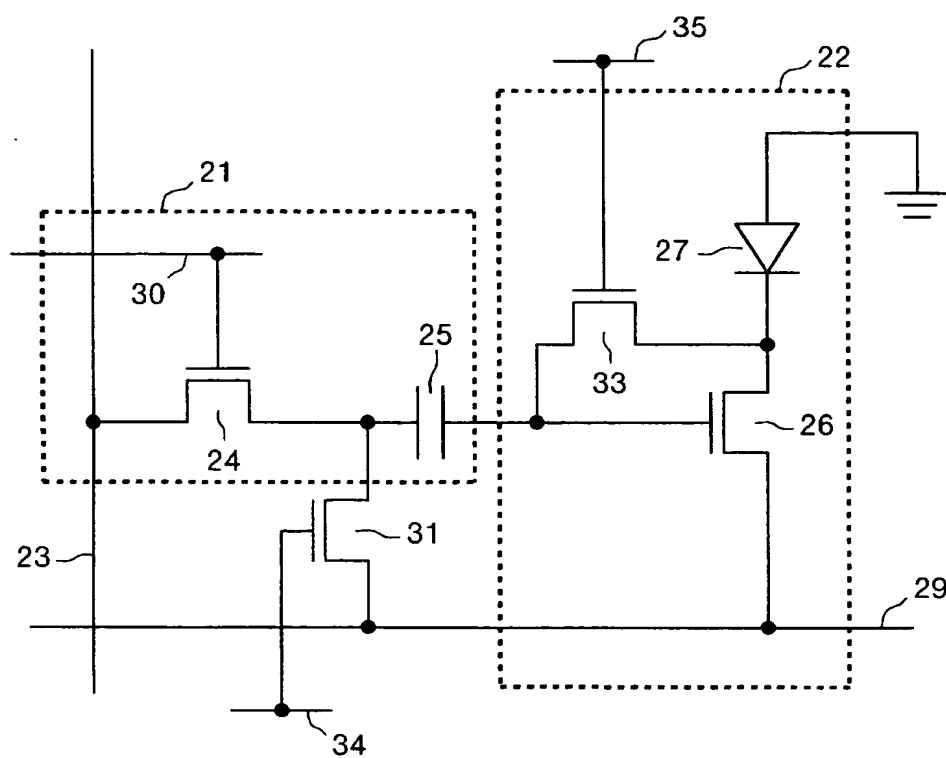
【図 10】



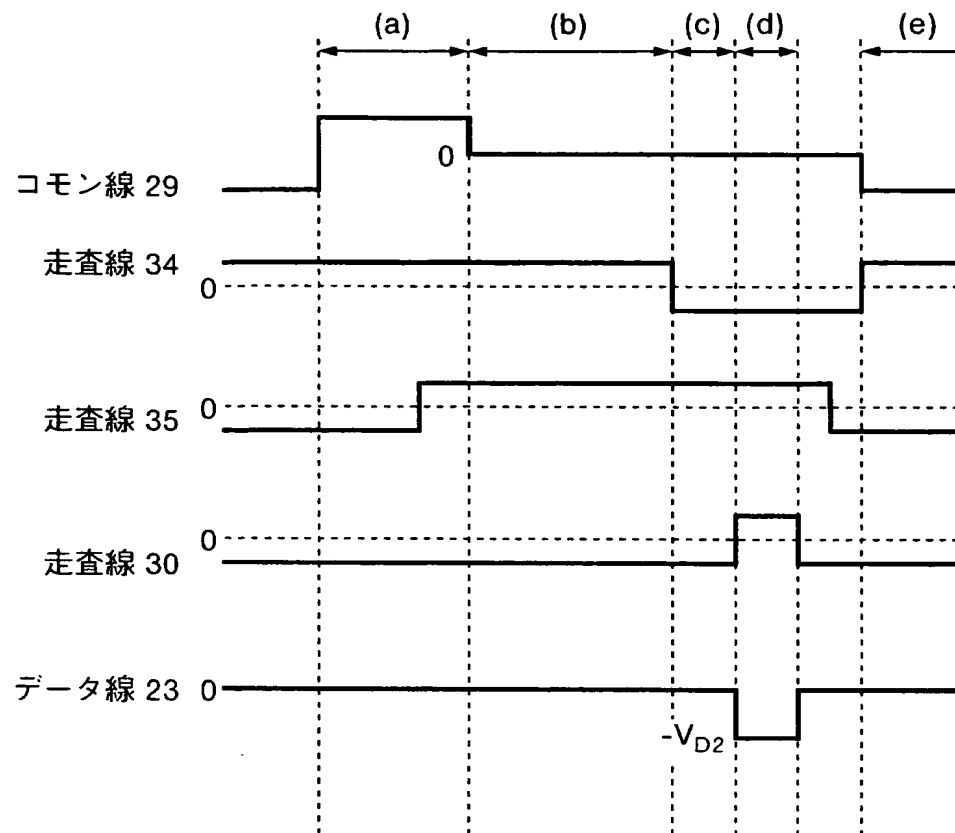
【図 11】



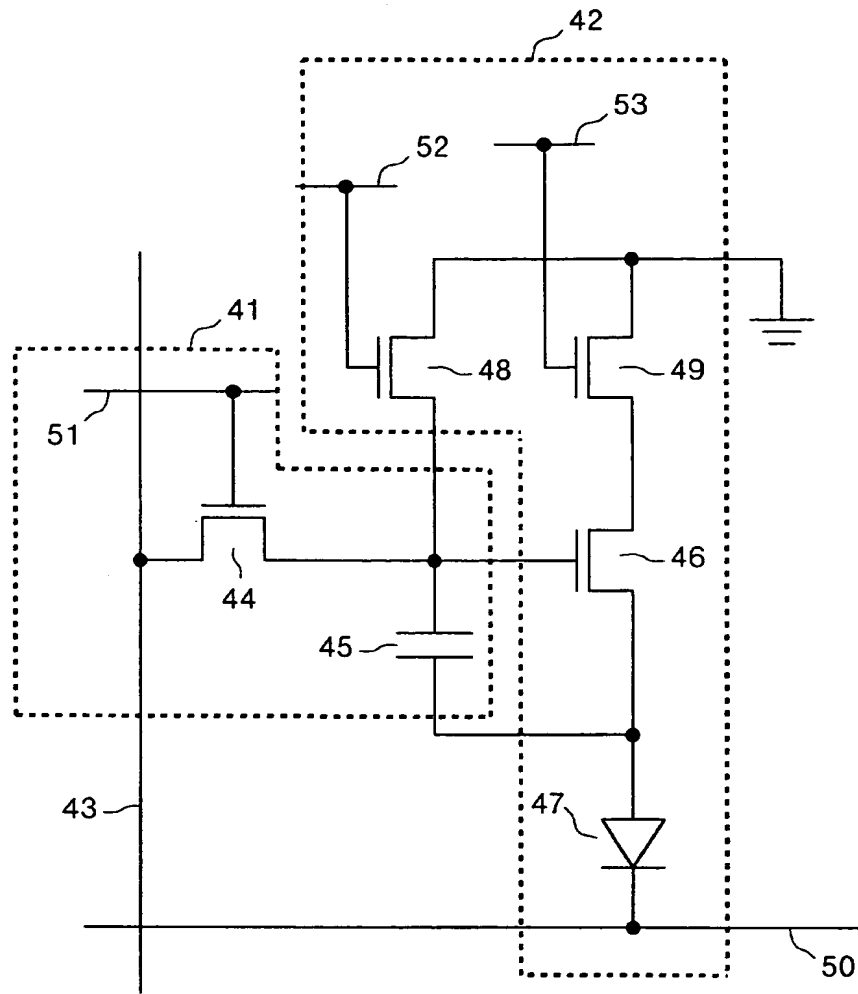
【図 12】



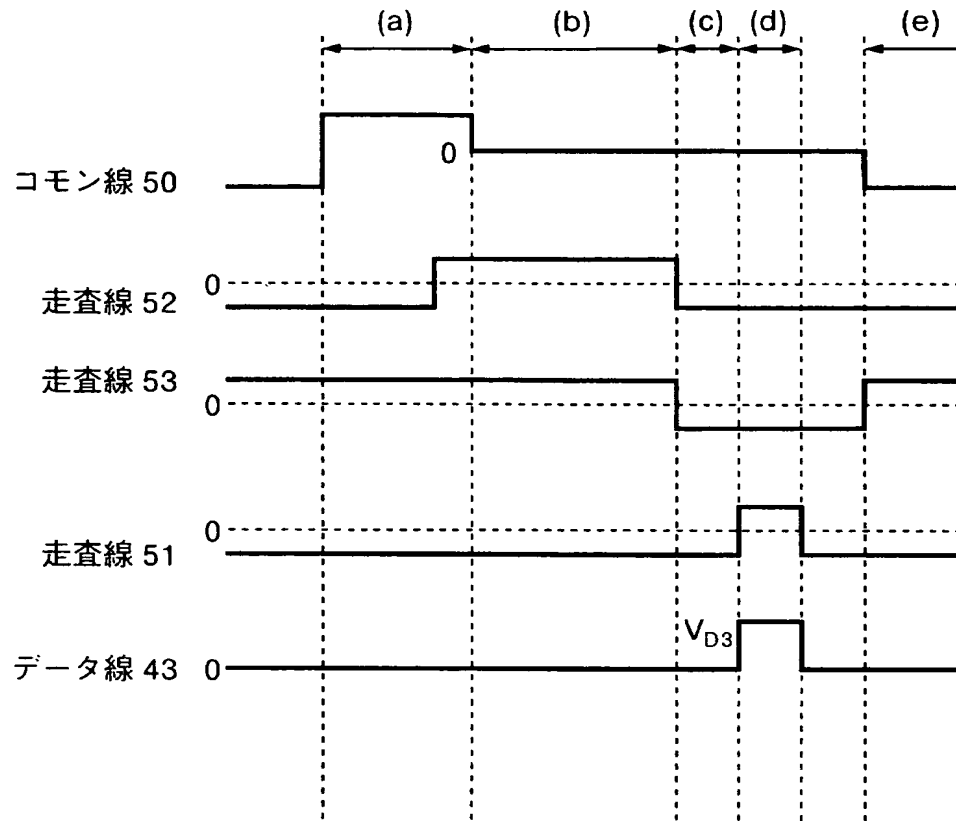
【図 13】



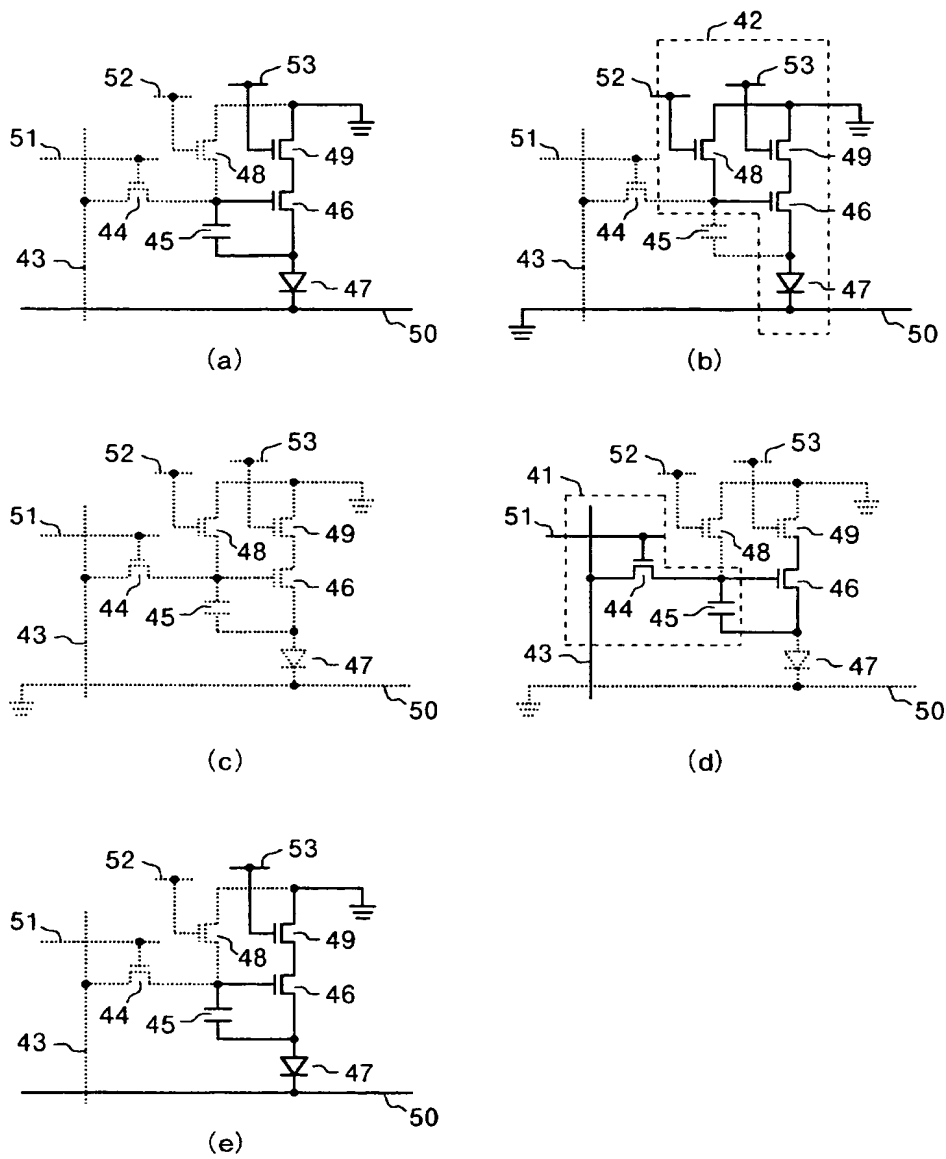
【図 14】



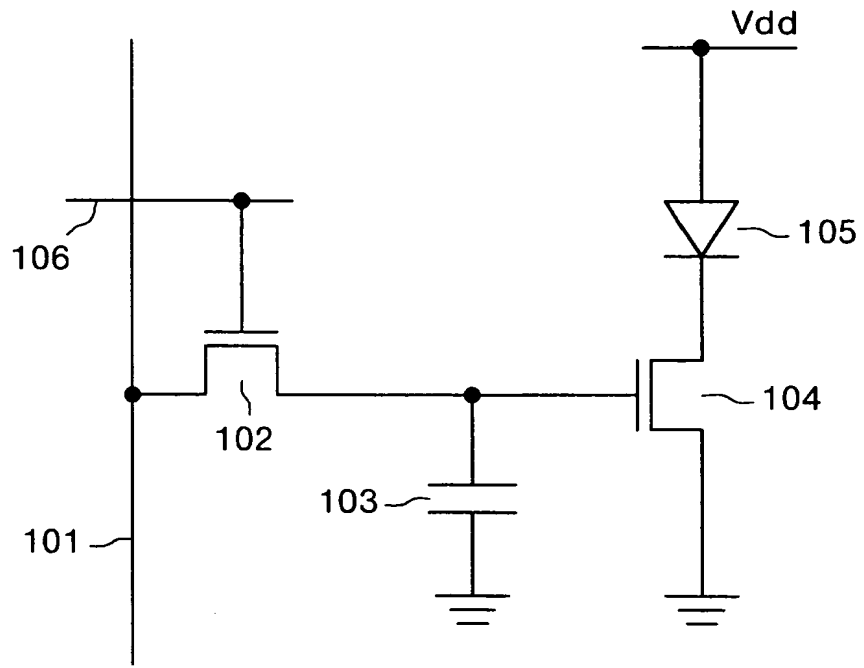
【図 15】



【図 16】

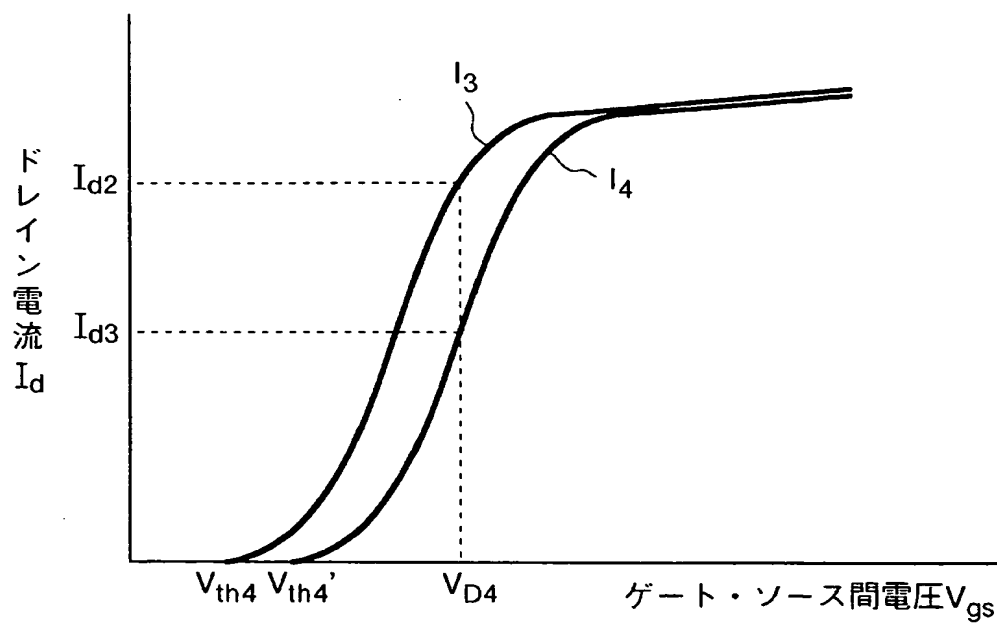


【図 17】





【図 18】



【書類名】 要約書

【要約】

【課題】 電流発光素子が均一な輝度の光を表示する、画質の劣化を抑制した表示装置を実現すること。

【解決手段】 本発明にかかる表示装置は、データ線 3 と第 1 のスイッチング手段である T F T 4 とコンデンサ 5 を備えたデータ書き込み手段 1 と、第 2 のスイッチング手段である T F T 8 と有機 E L 素子 7 を備えた閾値電圧検出手段 2 を備える。ドライバー素子である T F T 6 のゲート電極とドレイン電極を短絡する T F T 8 を備えた閾値電圧検出手段 2 は、データ書き込み手段 1 と別個独立に動作することにより、T F T 6 の閾値電圧を検出する。また、発光工程における T F T 6 のゲート・ソース間電圧は、データ書き込み手段 1 により書き込まれた電位に閾値電圧検出手段 2 により検出された T F T 6 の閾値電圧を加えた値となる。したがって、T F T 6 の閾値電圧の変動は補償され、均一な輝度の光の表示を可能とする表示装置を実現する。

【選択図】 図 1

【書類名】 出願人名義変更届  
【整理番号】 PIDA-14541  
【提出日】 平成16年 1月16日  
【あて先】 特許庁長官 殿  
【事件の表示】  
    【出願番号】 特願2003- 46541  
【承継人】  
    【識別番号】 000006633  
    【氏名又は名称】 京セラ株式会社  
【承継人代理人】  
    【識別番号】 100089118  
    【弁理士】  
    【氏名又は名称】 酒井 宏明  
【手数料の表示】  
    【予納台帳番号】 036711  
    【納付金額】 4,200円  
【提出物件の目録】  
    【物件名】 委任状 1  
        【援用の表示】 特願 2 0 0 3 - 0 4 1 8 2 4 に関する出願人名義変更届の手続補  
                          足書に添付の委任状  
    【物件名】 一部譲渡証書 1  
        【援用の表示】 特願 2 0 0 3 - 0 4 1 8 2 4 に関する出願人名義変更届の手続補  
                          足書に添付の一部譲渡証書



## 認定・付加情報

特許出願の番号	特願 2003-046541
受付番号	50400068606
書類名	出願人名義変更届
担当官	塩原 啓三 2404
作成日	平成16年 3月15日

## &lt;認定情報・付加情報&gt;

## 【承継人】

【識別番号】	000006633
【住所又は居所】	京都府京都市伏見区竹田鳥羽殿町6番地
【氏名又は名称】	京セラ株式会社

## 【承継人代理人】

申請人	
【識別番号】	100089118
【住所又は居所】	東京都千代田区霞が関3丁目2番6号 東京倶楽部ビルディング 酒井国際特許事務所
【氏名又は名称】	酒井 宏明

特願 2 0 0 3 - 0 4 6 5 4 1

出 願 人 履 歴 情 報

識別番号 [ 5 9 9 1 4 2 7 2 9 ]

1. 変更年月日 1 9 9 9 年 1 0 月 8 日

[変更理由] 新規登録

住 所 台湾台南県台南科学工業園区新市郷奇業路 1 号

氏 名 奇美電子股▲ふん▼有限公司

特願 2 0 0 3 - 0 4 6 5 4 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 6 3 3 ]

1. 変更年月日

1 9 9 8 年 8 月 2 1 日

[変更理由]

住所変更

住 所

京都府京都市伏見区竹田鳥羽殿町 6 番地

氏 名

京セラ株式会社